

**DESARROLLO DE UN PROTOTIPO PARA EL CONTROL DE ACCESO EN LAS
AULAS DE LA UNIVERSIDAD SURCOLOMBIANA.**

**HENRY ALEJANDRO VARGAS POLANÍA
JAIME SAAB CANO**

**UNIVERSIDAD SURCOLOMBIANA
FACULTAD DE INGENIERÍA
DEPARTAMENTO DE ELECTRÓNICA
NEIVA
2013**

**DESARROLLO DE UN PROTOTIPO PARA EL CONTROL DE ACCESO EN LAS
AULAS DE LA UNIVERSIDAD SURCOLOMBIANA.**

**HENRY ALEJANDRO VARGAS POLANÍA
JAIME SAAB CANO**

**Trabajo de grado presentado como requisito
Para optar al título de Ingeniero Electrónico.**

**Director
Vladimir Mosquera Cerquera
Ingeniero en Electrónica y Comunicaciones**

**UNIVERSIDAD SURCOLOMBIANA
FACULTAD DE INGENIERÍA
DEPARTAMENTO DE ELECTRÓNICA
NEIVA
2013**

Nota de aceptación:

Firma del Presidente del jurado

Firma del jurado

Firma del jurado

Neiva, _____ de 2013.

Este nuevo logro se lo dedico a Dios por permitirme llegar hasta este punto; por darme salud, fortaleza y sabiduría para lograr mis objetivos, además de brindarme su infinita bondad y amor; a mis Padres y Hermanas que con su cariño, apoyo y buenos consejos me han dado la motivación para ser la persona que soy hoy.

Jaime Saab Cano

¡Un escalón más, una cima más, una meta más, un comienzo más! Un esfuerzo aguerrido impulsado con un apoyo constante, gracias a las bendiciones otorgadas por Dios, a las preocupaciones, consejos y empujones de mis Padres y Hermanos, y a la razón más importante de mi vida, la excusa para levantarme al caer, de dar todo de mi cada instante, mi bella Esposa y mi hermoso Hijo, ¡esto es para ustedes!.

Henry Alejandro Vargas Polanía

AGRADECIMIENTOS

Brindamos nuestro más sincero agradecimiento a todos aquellos que hicieron posible la realización y culminación de este Proyecto de Grado.

En primer lugar queremos hacer un agradecimiento especial a la Universidad Surcolombiana, que nos brindó su apoyo financiero para la ejecución de este proyecto, así como al señor José David Rivera Escobar, Jefe de Planeación de la Universidad, cuya gestión derivó en el apoyo por parte de la Universidad.

De la misma manera, damos nuestro agradecimiento al Director de este proyecto, el Ingeniero Vladimir Mosquera Cerquera, por su invaluable apoyo y orientación para la realización de este Proyecto.

También agradecemos a la Psicóloga Briggitte Suaza, por su asesoría para la realización de los estudios de aceptación pertinentes al desarrollo del Proyecto.

Finalmente agradecemos a nuestros Padres, que con su apoyo incondicional, motivación y valiosas opiniones, nos impulsaron para desempeñar una excelente labor en el desarrollo de este Proyecto de Grado.

CONTENIDO

	pág.
INTRODUCCIÓN	16
1. SISTEMAS DE CONTROL DE ACCESO DE PERSONAS	18
1.1 ELEMENTOS BÁSICOS DE UN SISTEMA DE CONTROL DE ACCESO DE PERSONAS.	18
1.2 APLICACIÓN.	19
2. DISEÑO DEL SISTEMA	20
2.1 REQUERIMIENTOS DEL SISTEMA	21
2.1.1 Requerimientos	21
2.1.2 Requerimientos no funcionales.	21
2.2 CASOS DE USO	21
2.2.1 Administración de permisos de acceso.	21
2.2.2 Acceso a las aulas.	23
2.3 DIAGRAMA DE CLASES	26
3. DESARROLLO DEL SISTEMA	28
3.1 COMPONENTES FÍSICOS DEL SISTEMA	29
3.1.1 Tarjeta RFID.	29
3.1.2 Lector RFID.	30
3.1.3 Controlador y acondicionamiento.	33
3.1.4 Actuadores.	36

3.1.5	Comunicación Ethernet.	37
3.2	COMPONENTES DE SOFTWARE	38
3.2.1	Aplicación web.	38
3.2.2	Arduino.	39
3.2.3	Servidor y base de datos.	41
3.2.4	Software de identificación UID.	42
4.	ANÁLISIS DE RESULTADOS	43
4.1	INFRAESTRUCTURA DEL SISTEMA	43
4.2	APLICACIÓN WEB	44
4.2.1	Pantalla de inicio y login.	45
4.2.2	Panel de control.	46
4.2.3	Nuevo administrador.	47
4.2.4	Editar administrador.	48
4.2.5	Nuevo usuario.	50
4.2.6	Eliminar usuario.	50
4.2.7	Nueva aula/oficina.	51
4.2.8	Agregar permisos de acceso.	52
4.2.9	Editar permisos de acceso.	53
4.2.10	Registro de eventos.	54
4.3	ESTUDIO DE ACEPTACIÓN DEL SISTEMA	55
4.3.1	Encuesta.	56
4.3.2	Análisis.	58

4.4 RELACIÓN COSTO BENEFICIO	63
5. CONCLUSIONES	65
6. RECOMENDACIONES Y TRABAJO FUTURO	67
BIBLIOGRAFÍA	68

LISTA DE CUADROS

	pág.
Cuadro 1. Manejo administradores y gestores de permisos	23
Cuadro 2. Manejo usuarios	23
Cuadro 3. Manejo permisos	23
Cuadro 4. Solicitud de acceso/salida	24
Cuadro 5. Recibir solicitud	25
Cuadro 6. Procesar solicitud	25
Cuadro 7. Aprobar solicitud de acceso	25
Cuadro 8. Cerrar aula	25
Cuadro 9. Comandos compactos	31
Cuadro 10. Instrucciones comandos básicos	31
Cuadro 11. Lista de Operaciones	39
Cuadro 12. Costos implementación	63

LISTA DE FIGURAS

	pág.
Figura 1. Sistema control de acceso de personas	19
Figura 2. Diagrama de bloques general del prototipo	20
Figura 3. Diagrama de casos de uso administración de permisos de acceso	22
Figura 4. Diagrama de casos de uso acceso a las aulas	24
Figura 5. Diagrama de clases del sistema	27
Figura 6. Arquitectura del sistema	29
Figura 7. Lector/escritor RFID MIFARE MFRC522	30
Figura 8. Lector/escritor MIFARE SL040	32
Figura 9. Aplicación SL040 config.exe	33
Figura 10. Diagrama eléctrico etapa de control	34
Figura 11. Conexión Arduino Mega2560 y Ethernet Shield	35
Figura 12. Cantonera eléctrica GATO 733	36
Figura 13. Contactor LS GMC-9	36
Figura 14. Conexión contactor	37
Figura 15. Switch Cisco SF 302-08	37
Figura 16. Configuración PoE	38
Figura 17. Diagrama de flujo programa Arduino	40
Figura 18. Diagrama entidad-relación base de datos del sistema	42
Figura 19. Infraestructura del sistema	44
Figura 20. Inicio y login	46

Figura 21. Panel de control	47
Figura 22. Nuevo administrador	48
Figura 23. Editar administrador	49
Figura 24. Modificar contraseña	49
Figura 25. Nuevo usuario	50
Figura 26. Eliminar usuario	51
Figura 27. Nueva aula/oficina	52
Figura 28. Agregar permisos de acceso	53
Figura 29. Editar permisos de acceso	54
Figura 30. Registro de eventos	55
Figura 31. Condiciones para el desarrollo de las clases	58
Figura 32. Condiciones elementos de las aulas de clase	59
Figura 33. Responsabilidad deterioro de la infraestructura	59
Figura 34. Inversión en mantenimiento de infraestructura	60
Figura 35. Importancia control de acceso a las aulas	60
Figura 36. Consecuencias de la falta de control de acceso a las aulas	61
Figura 37. Encargados del ingreso a las aulas	61
Figura 38. Inversión en alternativas tecnológicas	62
Figura 39. Acceso libre a las aulas	62

GLOSARIO

ACONDICIONADOR: circuito encargado de adaptar las señales TTL obtenidas del microcontrolador a los niveles de tensión necesarios para la activación de los actuadores.

ADMINISTRADOR: usuario del sistema encargado de la de la modificación de los permisos de acceso, usuarios y gestores de permisos.

APLICACIÓN WEB: herramienta que se puede utilizar accediendo a un servidor web a través de Internet o intranet mediante un navegador.

CONSULTA: solicitud de información dirigida a la base de datos.

ENTORNO DE DESARROLLO INTEGRADO (IDE): programa informático compuesto por un conjunto de herramientas de programación.

GESTOR DE PERMISOS: usuario encargado de administrar todo lo referente a los permisos de acceso a las aulas.

LECTOR: dispositivo con la capacidad de leer los datos en el tag.

POE: tecnología que incorpora alimentación eléctrica a un dispositivo final de red, a través del mismo cable de datos.

REGISTRO: conjunto de campos que contienen información perteneciente a una Cuadro relacionada a una base de datos.

REPORTE: informe de eventos, creado a partir de los registros de una base de datos.

RFID: hace referencia a una tecnología de identificación automática a través de radiofrecuencia.

SERVIDOR: es un tipo de software que maneja la entrega de los componentes de las páginas web como respuesta a las peticiones de los navegadores de los clientes.

SISTEMA: hace referencia al prototipo desarrollado para el control de acceso a las aulas de la Universidad Surcolombiana

SPI: es un estándar de comunicaciones, usado para la transferencia de información entre circuitos integrados en equipos electrónicos.

TAG: es una combinación de un transmisor y un receptor, que está diseñado para recibir una señal específica de radio y transmitir automáticamente una respuesta.

USUARIO: hace referencia a todos aquellos usuarios cuyo acceso a las aulas será regido por el sistema.

RESUMEN

Este trabajo aporta una solución potencial al problema de deterioro de las instalaciones y elementos de las aulas de clase de la Universidad Surcolombiana, usando la tecnología RFID, proponiendo un sistema que permita controlar el acceso y suministro eléctrico de las aulas, de manera efectiva. Asimismo se consideran los requerimientos potenciales, cambios en los procesos, costos y riesgos, de la implementación del sistema en un ambiente real.

Finalmente, se presenta un análisis de los factores sociales y económicos concernientes a la implementación del sistema, así como las recomendaciones y conclusiones derivadas del proceso de diseño y desarrollo.

Palabras claves: Control de Acceso, Red eléctrica, RFID.

ABSTRACT

This project provides a potential solution to the problem of deteriorating facilities and elements of the classrooms in the Surcolombiana University, using RFID technology, proposing an effectively system to control access and power supply in the classrooms. Furthermore, the potential requirements, process changes, costs and risks of implementing the system in a real environment were considered.

Finally, presents an analysis of the social and economic factors concerning the implementation of the system, as well as the recommendations and conclusions derived from the design and development process.

Keywords: Access control, Electrical system, RFID.

INTRODUCCIÓN

En la actualidad toda organización requiere la implementación de tecnologías y estrategias que le permitan garantizar la seguridad de sus instalaciones, equipos e información, haciendo necesario el desarrollo de sistemas que se encarguen de limitar los accesos a áreas restringidas, monitorear las actividades del personal y prevenir la pérdida de equipos o de información valiosa.

El uso de soluciones basadas en tecnología RFID (Radio Frequency Identification) o Identificación por Radio Frecuencia se ha convertido en una elección popular debido a que ofrece una gran gama de soluciones, adaptables a cada organización. Este tipo de sistemas permite el monitoreo y almacenamiento en una base de datos de información sobre horas de entrada/salida, asistencia, y autenticación de usuarios; así, como la vinculación con sistemas de cámaras de seguridad que se activan cuando un usuario ingresa a determinada área.

En la actualidad el acceso a las aulas de clase en la Universidad Surcolombiana, no cuenta con un control eficaz, ya que este se realiza con la intervención de una persona encargada de abrir todas las aulas de clase a las horas establecidas, pero no se verifica que se dé o no la clase estipulada, permitiendo el ingreso libre al aula. Las repercusiones más notorias de esta situación son el deterioro de las instalaciones y elementos de cada aula debido al uso inadecuado (grafiti, vandalismo, pupitres fuera de las aulas), la ocupación de aulas que no les han asignado por parte de docentes y estudiantes, junto con el gasto innecesario de energía resultado de estudiantes que ocupan aulas en sus horas libres, o simplemente por aulas vacías con luces y aires acondicionados encendidos.

Para solventar estas falencias, la Universidad se ve obligada a destinar anualmente fondos en mantenimiento de la estructura (pintura, redes eléctricas), y la compra de aires acondicionados, pupitres, luces, sumando a esto el pago mensual de cuentas elevadas por consumo de energía eléctrica.

Por esta razón viendo la necesidad de controlar el ingreso a las aulas de clase y aprovechando la ventaja en seguridad que da la implementación de la tecnología RFID en este campo, se planteó una solución potencial basada en el diseño y desarrollo de un prototipo que permita controlar el acceso a cada aula y que gestione los recursos de la misma. Dentro de este proceso se tuvo en cuenta el impacto socio-económico generado en la comunidad universitaria y cierta restricción en cuanto a la compatibilidad del prototipo con las tarjetas RFID usadas para la identificación del personal. Por otra parte el sistema cuenta con la posibilidad de administrar permisos y generar reportes en tiempo real, a través de una aplicación web de fácil manejo.

Cabe destacar que el propósito general de este proyecto es determinar cuáles son los requerimientos estratégicos, cambios en los procesos, costos, beneficios y riesgos de la implementación del sistema en un ambiente real; así, como su posible aplicación en conjunto con el sistema de control de acceso al campus universitario desarrollado en 2011.

1. SISTEMAS DE CONTROL DE ACCESO DE PERSONAS

Un sistema de control de acceso de personas, es un conjunto de equipos o sistemas que de forma automática es capaz de identificar a las personas que pretenden acceder a un recinto controlado, obtener información, y conocer instantáneamente los intentos no autorizados de acceso.

En función de su capacidad, complejidad y aplicación, el control de accesos puede ser autónomo, es decir que no tiene comunicación directa con un puesto de control, aunque puede disponer de canal de comunicaciones para volcar la información a una impresora o mando programador; y centralizado, que consiste en equipos distribuidos a lo largo del edificio o recinto y unidos entre sí, de forma que toda la información pasa por un puesto controlador y de supervisión de todo el edificio.

1.1 ELEMENTOS BÁSICOS DE UN SISTEMA DE CONTROL DE ACCESO DE PERSONAS.

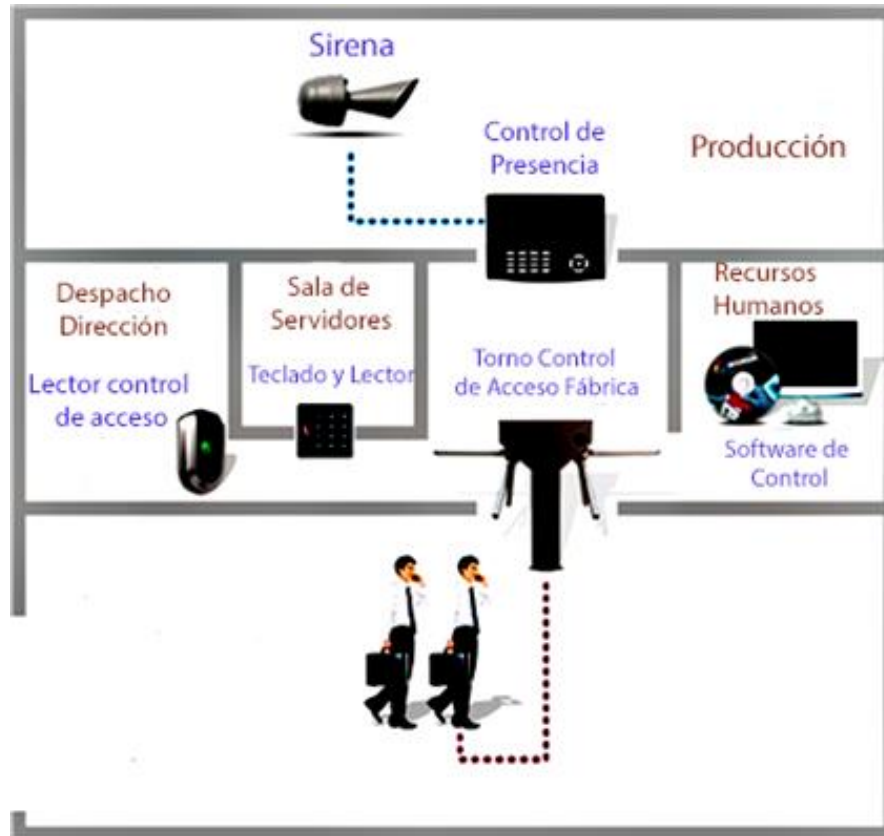
Un sistema de control de acceso de personas como se muestra en la Figura 1, consta básicamente de tres elementos: credencial, lector y unidad central de procesos.

La credencial, permite identificar y diferenciar a cada usuario dentro del sistema. Estas pueden ser de tres tipos; materiales (tarjetas); de conocimiento (contraseñas); o un rasgo personal (características biométricas).

El lector es el dispositivo encargado de capturar la información contenida en la credencial y enviarla a la unidad central de procesos para su tratamiento. Dependiendo del tipo de credencial el lector puede ser un teclado, una cámara, un micrófono, un lector de huella digital o un lector de tarjetas.

La Unidad central de procesos (UCP), es la parte inteligente del sistema. En ella almacenan los datos de los periféricos exteriores asociados al sistema (puertas, alarmas, barreras, torniquetes, etc.). Su ubicación será siempre dentro del recinto controlado para evitar su violación. Es importante que la UCP sea independiente de la tecnología del lector y las credenciales asociadas, basando su potencia en las posibilidades de control que posea.

Figura 1. Sistema control de acceso de personas



Fuente: <http://www.controldepresenciayaccesos.es/control-de-presencia-biometrico>

1.2 APLICACIÓN.

El control de accesos de personas a áreas restringidas, puede satisfacer las siguientes expectativas:

- controlar y gestionar adecuadamente un amplio número de credenciales, con la posibilidad de permitir o restringir el acceso a determinadas zonas del recinto;
- software único configurable, que permita la racionalización de medios técnicos y humanos, así como la gestión y control de accesos, presencia, visitas, horarios, producción, rondas y alarmas;
- posibilidad de integración con otros sistemas de seguridad. y de gestión de la organización empresarial.

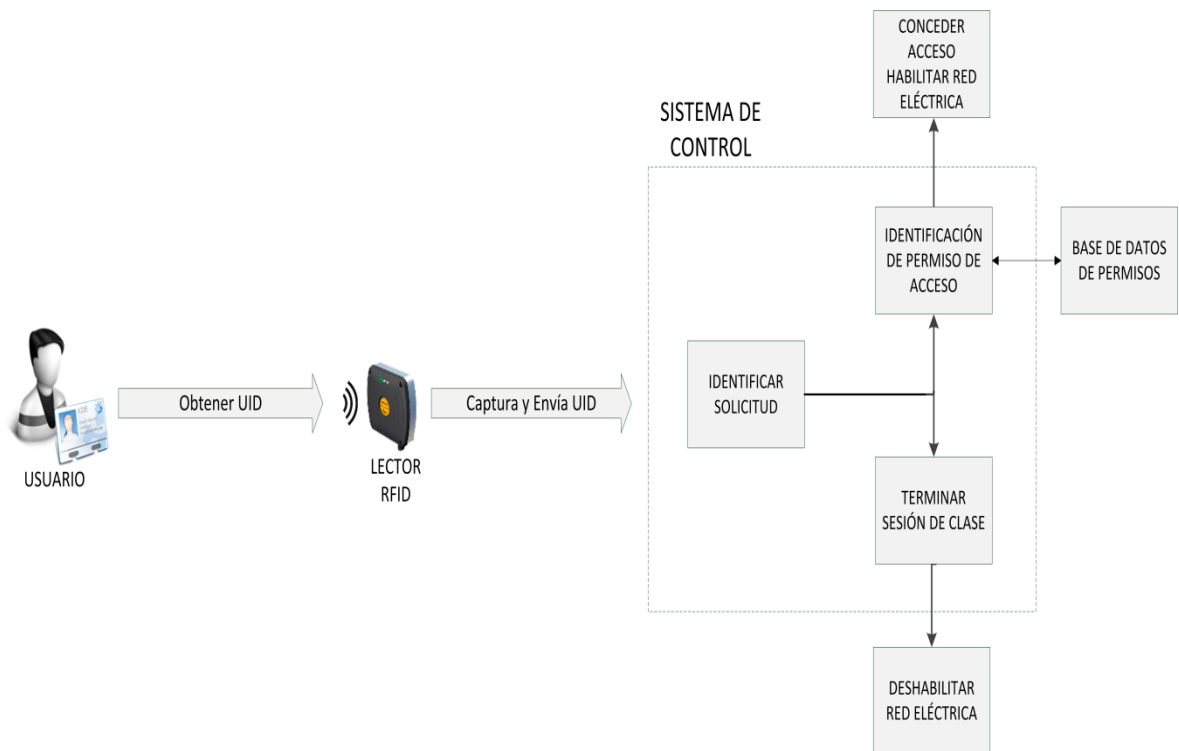
2. DISEÑO DEL SISTEMA

En este capítulo se describe el proceso de diseño de un prototipo para el control de acceso y gestión de recursos de las aulas de la Universidad Surcolombiana (de ahora en adelante se denominará como sistema).

Para el diseño del sistema, se optó por el uso de la tecnología RFID, teniendo en cuenta que la identificación del personal perteneciente a la comunidad universitaria se hace a través de carnés basados en esta tecnología.

En la Figura 2, se observa el diagrama de bloques general del sistema, el cual debe obtener el número de identificación único de usuario (UID) que tienen los carnés, a través de un lector RFID; luego el sistema de control se encargará de identificar si el usuario está solicitando acceder a un aula, o terminando una sesión de clase. En el caso de solicitar acceso, el sistema de control determina si el usuario tiene permiso para acceder al aula, comparando la UID con la base de datos de permisos. Si el usuario tiene permiso para acceder, el sistema de control activa la cerradura y habilita la red eléctrica del aula. En el caso de solicitar el final se una sesión de clase, el sistema deshabilitará la red eléctrica del aula.

Figura 2. Diagrama de bloques general del prototipo



2.1 REQUERIMIENTOS DEL SISTEMA

2.1.1 Requerimientos funcionales. El sistema debe estar en la capacidad de

- detectar automáticamente tarjetas cercanas al lector RFID y obtener su UID;
- establecer conexión con el servidor que aloja la base de datos de permisos de acceso;
- tener un sistema de respaldo ante cualquier fallo en la conexión con el equipo servidor;
- permitir el ingreso de los usuarios autorizados y habilitar/deshabilitar la red eléctrica del aula;
- permitir agregar y eliminar permisos de acceso en tiempo real; y
- generar registros de entrada/salida a las aulas.

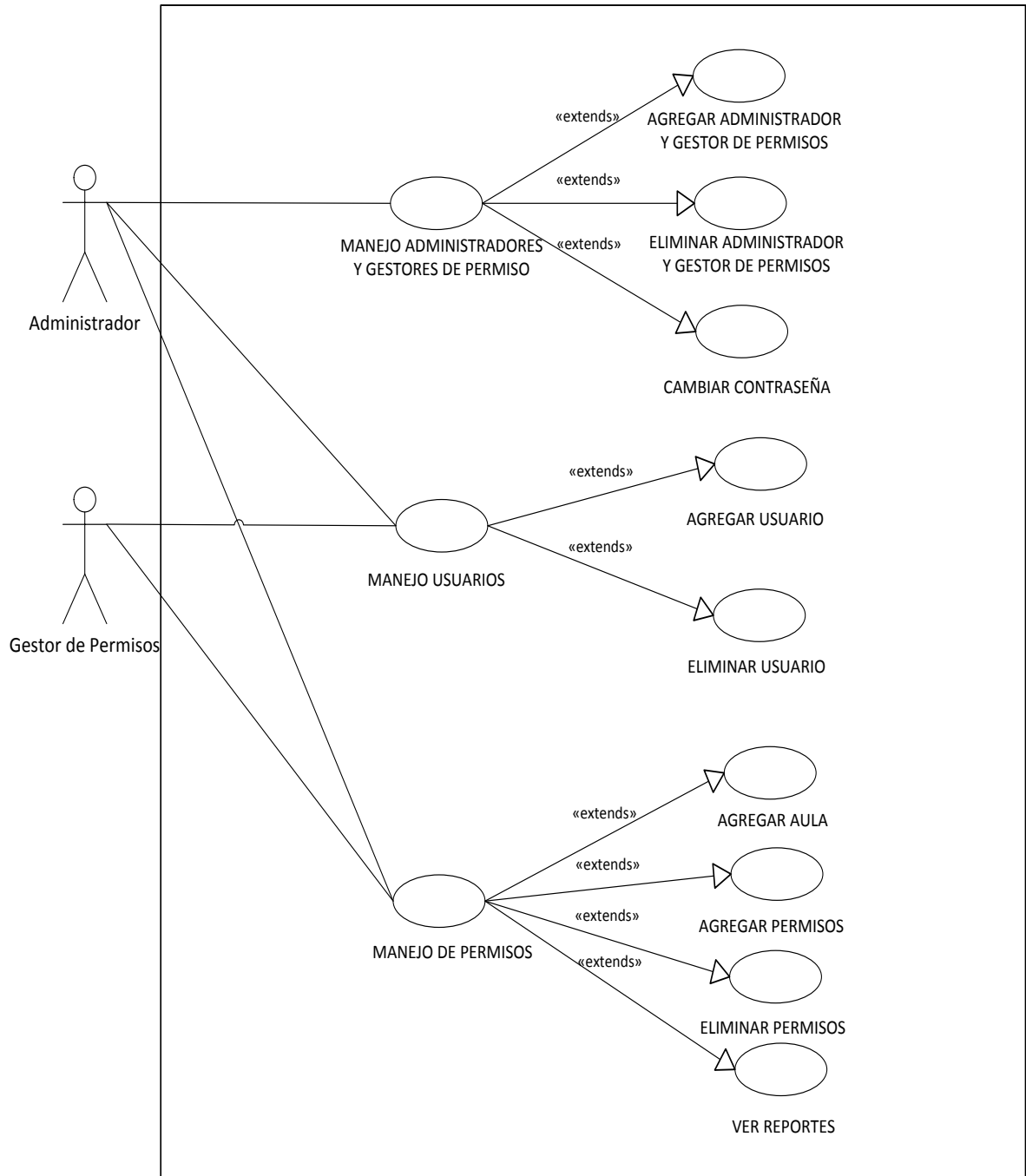
2.1.2 Requerimientos no funcionales. Para un correcto funcionamiento del sistema se debe garantizar que

- el lector RFID no se coloque sobre superficies metálicas;
- la distancia entre las tarjetas y el lector RFID debe ser de 5 mm a 10 mm;
- que se cuente con un sistema de energía eléctrica de respaldo para garantizar la disponibilidad del sistema en todo momento;
- los administradores y gestores de permisos deben tener conocimientos básicos en el manejo de aplicaciones web.

2.2 CASOS DE USO

2.2.1 Administración de permisos de acceso. En la Figura 3, se muestra el diagrama de casos de uso que describe las funciones y operaciones que realiza el sistema en el proceso de administración de permisos de acceso a las aulas, así como su interacción con los distintos actores involucrados en este proceso.

Figura 3. Diagrama de casos de uso administración de permisos de acceso



A continuación se realiza la descripción textual de cada uno de los casos de uso que envuelve al sistema en el proceso de administración de permisos de acceso en los siguientes cuadros.

Cuadro 1. Manejo administradores y gestores de permisos

Caso de uso: manejo administradores y gestores de permiso.
Actor: administrador.
Función: administrar el grupo de usuarios encargado de dar acceso a las aulas.
Descripción: la persona encargada de la administración del sitio puede registrar nuevos administradores para la gestión total del sistema o usuarios que se encarguen gestionar los permisos a las aulas, identificando todas sus características (nombre/usuario/contraseña/rol). El sistema debe verificar que la persona no esté registrada y el nombre de usuario esté disponible. Adicionalmente el administrador podrá hacer modificación de su contraseña y eliminar administradores y/o gestores que ya no sean necesarios.

Cuadro 2. Manejo usuarios

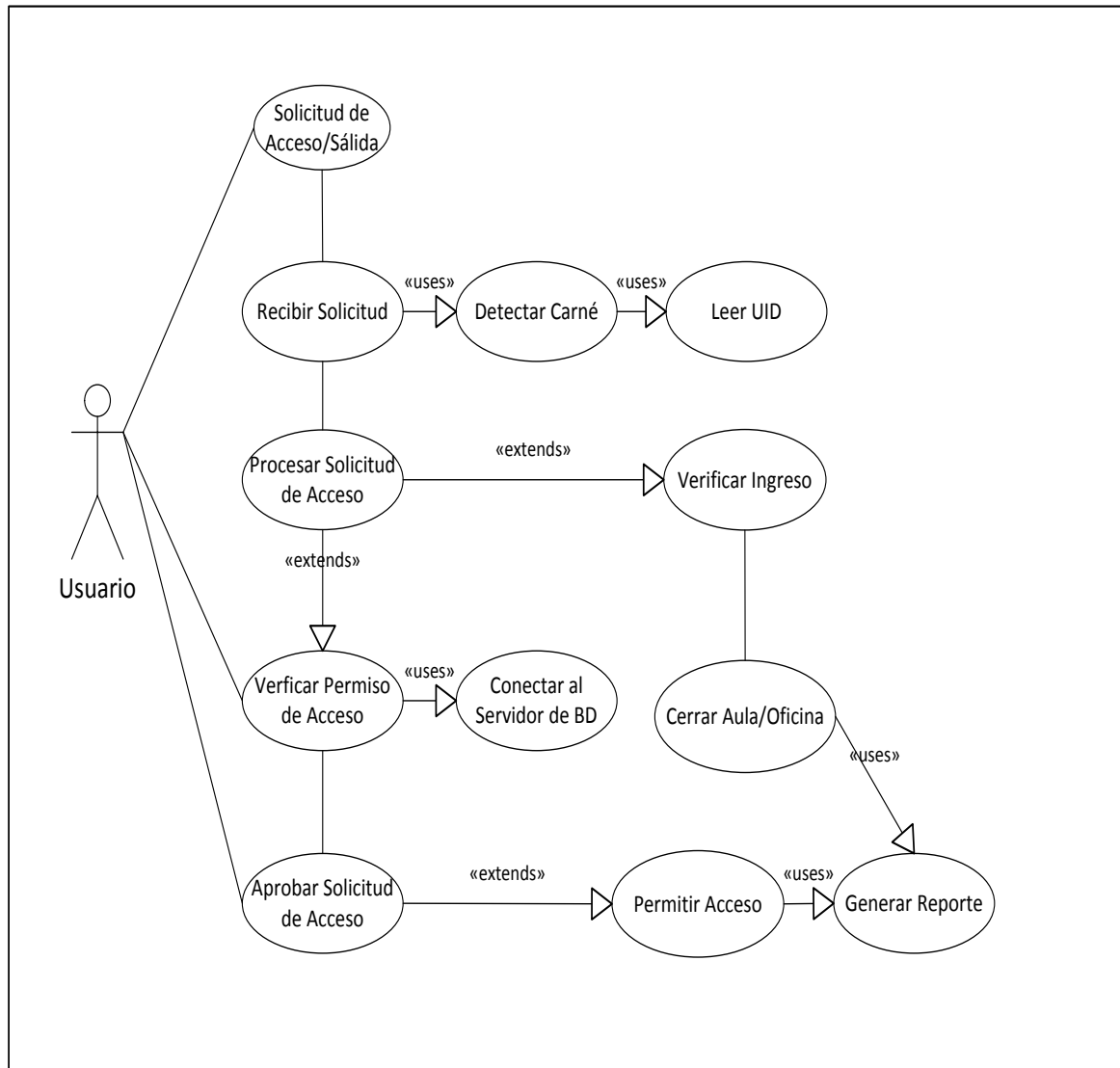
Caso de uso: manejo usuarios
Actor: administrador, gestor de permisos
Función: administrar el grupo de usuarios que requieren acceso a las aulas.
Descripción: el administrador y el gestor de permisos pueden registrar nuevos usuarios que necesiten permisos de acceso a las aulas, identificando todas sus características (nombre, UID, cargo). El sistema debe verificar que el usuario no esté registrado. También se podrán eliminar usuarios que ya no pertenezcan a la comunidad universitaria o aquellos a los que se les haya revocado los permisos de acceso.

Cuadro 3. Manejo permisos

Caso de uso: manejo permisos
Actor: administrador, gestor de permisos
Tipo: controlar y supervisar el acceso a las aulas.
Descripción: el administrador y el gestor de permisos pueden registrar nuevos permisos de acceso a las aulas, identificando todas sus características (usuario/UID/facultad/aula/día/ingreso/salida). El sistema debe verificar que el horario esté disponible. También podrá agregar nuevas aulas a las que se les implemente el sistema de control de acceso, revisar reportes de entrada/salida y eliminar permisos que ya no sean necesarios.

2.2.2 Acceso a las aulas. En la Figura 4, se muestra el diagrama de casos de uso que describe las funciones y operaciones que realiza el sistema para permitir el acceso a las aulas, así como su interacción con los distintos actores involucrados en este proceso.

Figura 4. Diagrama de casos de uso acceso a las aulas



A continuación se realiza la descripción textual de cada caso de uso que envuelve al sistema en el proceso de acceso a las aulas en los siguientes cuadros.

Cuadro 4. Solicitud de acceso/salida

Caso de uso: solicitud de acceso/salida
Actor: usuario.
Función: solicitar al sistema acceso a un aula o terminar una sesión de clase.
Descripción: el usuario por medio de la UID de su carné, solicita al sistema acceder un aula o terminar una sesión de clase.

Cuadro 5. Recibir solicitud

Caso de uso: recibir solicitud
Actor: - - - -
Función: detectar y obtener la UID del usuario que hace la solicitud.
Descripción: el sistema recibe la solicitud del usuario mediante la detección y lectura de la UID del carné del mismo.

Cuadro 6. Procesar solicitud

Caso de uso: procesar solicitud
Actor: - - - -
Función: el sistema determina si el usuario desea ingresar a un aula o terminar una sesión de clase.
Descripción: el sistema se encarga de procesar la solicitud de permisos recibida, verificando si el usuario ya había ingresado al aula y desea terminar la sesión de clase o está solicitando ingreso. Para determinar si el usuario puede acceder al aula el sistema compara la UID del usuario con la base de datos de permisos.

Cuadro 7. Aprobar solicitud de acceso

Caso de uso: aprobar solicitud de acceso
Actor: usuario
Función: permitir acceso al aula.
Descripción: una vez el sistema verifica que el usuario tiene permiso de acceso, el sistema aprueba la solicitud y le permite acceder al aula. Adicionalmente se habilita la red eléctrica del aula y se genera un reporte con la fecha y hora del evento

Cuadro 8. Cerrar aula

Caso de uso: cerrar aula.
Actor: - - - -
Función: deshabilitar la red eléctrica del aula.
Descripción: una vez el sistema verifica que el usuario está solicitando terminar la sesión de clase, se encarga de deshabilitar la red eléctrica del aula y de generar un reporte con la fecha y hora del evento

2.3 DIAGRAMA DE CLASES

En el sistema están vinculados tres tipos de personas: los Administradores, los Gestores de Permisos y los Usuarios a los que se le permitirá el acceso a un aula. Cada persona tiene un nombre y un UID obtenido de su carné que lo identifica como miembro de la comunidad universitaria. Cada Administrador y Gestor de Permisos tiene asociado un nombre de usuario y una contraseña. Cada Usuario del sistema tiene un cargo.

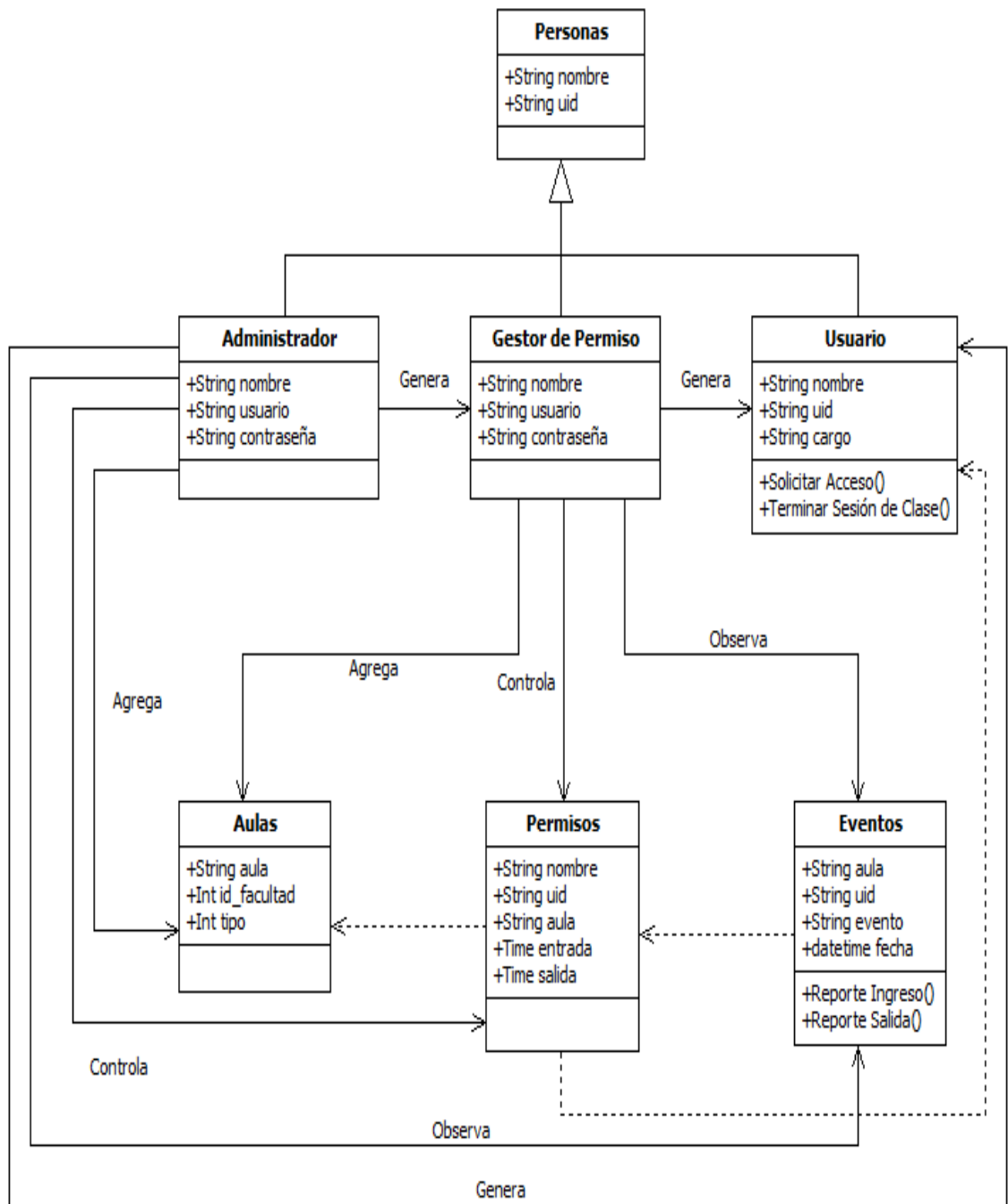
Los Administradores y Gestores de Permisos del sistema pueden encargarse del control de registros de Usuarios, aulas, eventos y permisos de acceso, sin embargo, solo los Administradores tienen la facultad de modificar la lista de Gestores y Administradores. Los Usuarios interactúan con el sistema realizando solicitudes para acceder a un aula y reportar el fin de una sesión de clase.

La generación de permisos de acceso siempre dependerá de la existencia de aulas y Usuarios vinculados al sistema. Así mismo solo podrán reportarse eventos de ingreso/salida siempre y cuando exista un permiso de acceso.

Adicionalmente se debe tener en cuenta que un Administrador o Gestor de Permisos pueden ser Usuarios, pero un Gestor de Permisos no puede ser Administrador.

En la Figura 5, se muestra el diagrama de clases que modela al sistema descrito anteriormente, sus componentes, funcionalidad y la relación existente entre cada uno de ellos.

Figura 5. Diagrama de clases del sistema



3. DESARROLLO DEL SISTEMA

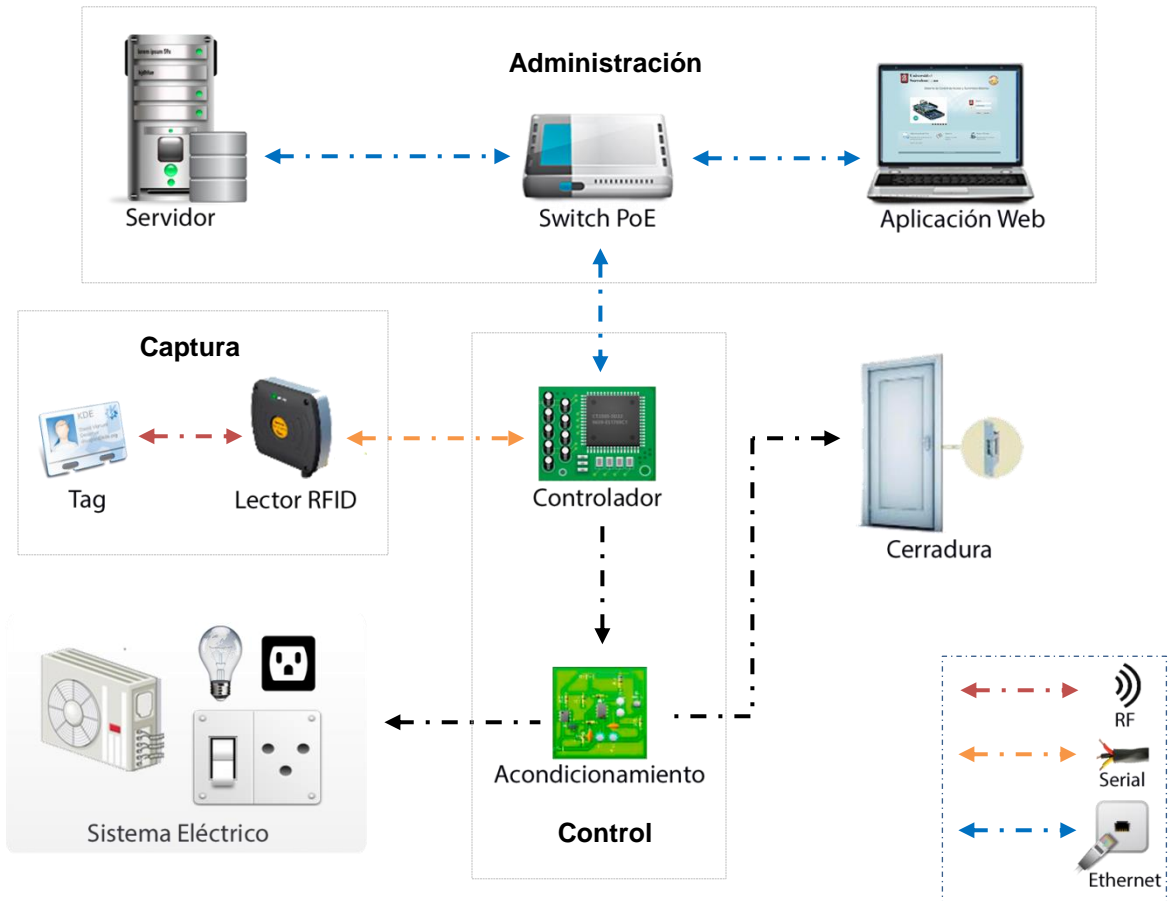
El prototipo para el control de acceso y gestión de recursos de las aulas de la Universidad Surcolombiana que se muestra en la Figura 6, consta básicamente de tres etapas: Administración, Captura y Control.

En la etapa de Administración el sistema cuenta con una aplicación web para la modificación en tiempo real de la base de datos de usuarios y permisos de acceso alojados en el equipo servidor.

En la etapa de Captura el sistema cuenta con un lector RFID que se encarga de detectar y leer el número de identificación único de usuario (UID) de los carnés o tags, para luego transmitir esa información por comunicación serial al Controlador.

Finalmente en la etapa de Control el sistema cuenta con un dispositivo Controlador que se encarga de recibir la información que obtiene el lector RFID a través del puerto serial del cual dispone; una vez el controlador recibe la información del lector RFID este se comunica por el puerto ethernet, enviando el dato de la UID para que sea procesado por el servidor, el cual valida los datos y responde al controlador con un comando para indicar si tiene permiso o no para acceder al aula; si existe el permiso, el controlador activa el sistema de acondicionamiento, que se encarga de adaptar la señal recibida a los niveles necesarios para la activación de la red eléctrica del aula y la apertura de la cerradura. Cabe resaltar, que ante cualquier falla de conexión con el servidor el controlador cuenta con una memoria SD de respaldo con los datos de los permisos, la cual podrá consultar mientras se restablece la comunicación. Por otra parte la alimentación del controlador se hace a través del protocolo PoE (Power over Ethernet), lo cual permite recibir los datos del servidor y suministrar alimentación eléctrica a través del cable de datos, eliminando la necesidad de utilizar tomas de corriente o fuentes de alimentación externas.

Figura 6. Arquitectura del sistema



3.1 COMPONENTES FÍSICOS DEL SISTEMA

3.1.1 Tarjeta RFID. Para la identificación de cada uno de los usuarios dentro del sistema, se utilizaron las tarjetas MIFARE S70 con los que se identifica a cada uno de los miembros pertenecientes a la comunidad universitaria (carné).

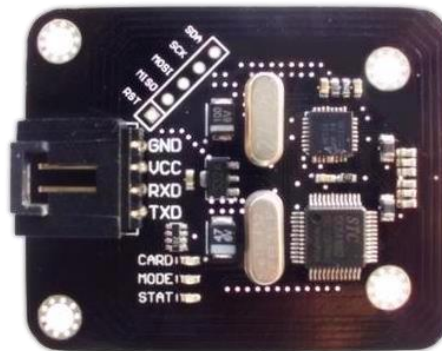
Estas tarjetas cumplen con las tres primeras partes de la ISO 14443 Tipo A de 13.56 MHz con protocolo de alto nivel. Cuenta con una memoria EEPROM de 4Kbytes, organizada en 32 sectores de 4 bloques y 8 sectores de 16 bloques. El último bloque de cada sector contiene dos claves y condiciones de acceso programables para cada bloque en ese sector.

3.1.2 Lector RFID. Para la selección del dispositivo encargado de la lectura de las UID de los carnés, se consideró que el sistema debería contar con un dispositivo lector de tarjetas para permitir el acceso al aula de clases, y un dispositivo lector de tarjetas conectado a un computador para agregar nuevos usuarios al sistema.

Para la lectura de tarjetas de los usuarios que solicitan el acceso, se escogió el modulo lector/escritor MIFARE basado en el chip MFRC522 que se muestra en la Figura 7. Este módulo soporta el estándar ISO 14443 Tipo A de 13.56MHz e integra una antena y los elementos necesarios para la lectura/escritura de tarjetas.

Para la selección de este dispositivo, se tuvo en cuenta que presenta la posibilidad de modificar varios de sus parámetros para adaptarlos a las necesidades del sistema.

Figura 7. Lector/escritor RFID MIFARE MFRC522



Una de las características más importantes del lector es que cuenta con una interfaz de comunicación serial, la cual da la posibilidad de controlarlo por medio de un microcontrolador, opción que permite realizar operaciones tales como

- detectar automáticamente las tarjetas cercanas,
- obtener de manera automática el UID de la tarjeta,
- obtener la UID de una tarjeta cada vez que el microcontrolador lo solicite, y
- procesar la información obtenida de las tarjetas, enviando los datos por serial al microcontrolador.

La realización de todas estas acciones se logran a través del envío de comandos desde el microcontrolador hacia el lector RFID. Hay dos tipos de comandos, los compactos y los básicos.

Un comando compacto consiste en un solo byte y se usa para que el lector realice operaciones automáticas. En el Cuadro 9 se observa la lista de comandos compactos y la descripción de la acción que realiza el lector RFID.

Cuadro 9. Comandos compactos

No.	Comando	Descripción
1	0x01	Buscar tarjetas cercanas automáticamente
2	0x02	Lee automáticamente la UID de una tarjeta cercana
3	0x03	Almacena automáticamente la UID de la tarjeta en la EEPROM
4	0x04	Determina automáticamente si una tarjeta está almacenada en la EEPROM
5	0x05	Encuentra y elimina automáticamente la UID de la tarjeta de la EEPROM

Un comando básico consiste en tres o más bytes y se usa para que el lector realice acciones solo cuando se le solicite. Consta de un encabezado, el cual tiene un tamaño de un byte y valor estático hexadecimal de 0xAB; un campo longitud, que tiene un tamaño de un byte, y su valor abarca el número de bytes del campo longitud hasta el último byte del campo de datos; un campo de instrucción, cuyo valor varía dependiendo de la función que debe hacer el lector y tiene tamaño de un byte; un campo de datos cuyo tamaño depende de la función realizada por el lector; y un *checksum* que permite verificar que no haya error en los valores obtenidos.

En la Cuadro 10 se observa la lista de instrucciones de los comandos básicos y la descripción de la acción que realiza el lector RFID.

Cuadro 10. Instrucciones comandos básicos

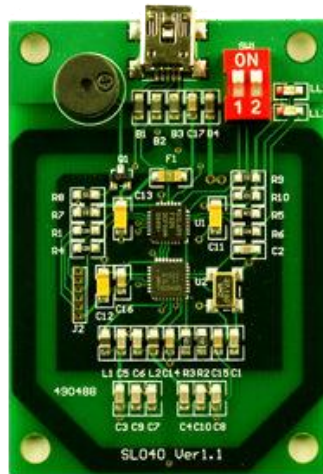
No.	Instrucción	Descripción
1	0x01	Lee el tipo de tarjeta
2	0x02	Busca la tarjeta y lee la UID
3	0x03	Lee los datos de la tarjeta
4	0x04	Escribir datos en la tarjeta
5	0x09	Leer datos de la EEPROM
6	0x0a	Escribir en la EEPROM
7	0x0b	Borrar datos de la EEPROM

Cuadro 10. Instrucciones comandos básicos (continuación)

8	0x0c	Verifica si se está escribiendo en la EEPROM
9	0x0d	Habilita/deshabilita la suma de verificación
10	0x0e	Configura la velocidad en baudios
11	0x0f	Volver la configuración por defecto
12	0x10	Volver al estado de espera

Por otra parte el dispositivo seleccionado para agregar nuevos usuarios al sistema fue el módulo lector/escritor MIFARE SL040 fabricado por Strong Link, que se muestra en la Figura 8.

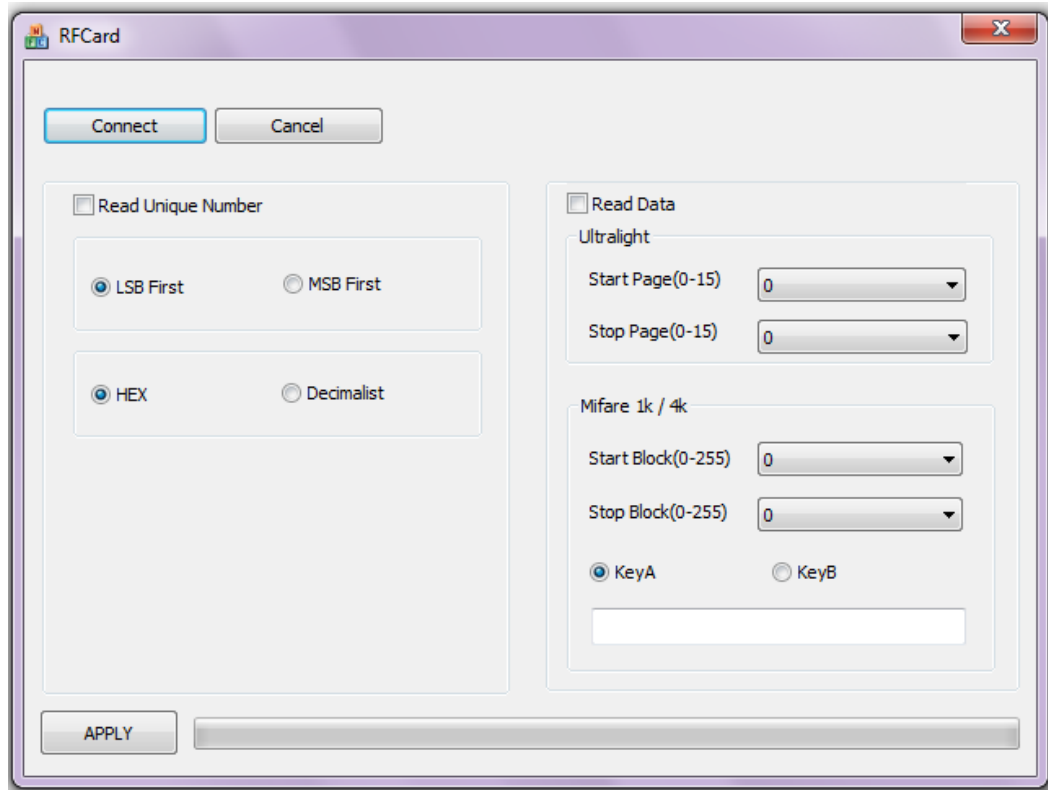
Figura 8. Lector/escritor MIFARE SL040



Una de las características más importantes de este dispositivo es que cuenta con una interfaz para la comunicación USB, lo que permite configurar varias de sus operaciones, y la transmisión de datos se haga como si fuera un teclado USB.

Las operaciones de configuración se hacen a través de la aplicación SL040 config.exe desarrollada por el fabricante, que se muestra en la Figura 9. A través de esta aplicación se puede configurar el formato de trabajo, para indicar si se trabaja en decimal o hexadecimal, determinar el modo de lectura para indicar si se lee solo el UID de la tarjeta o también los bloques de datos de la información guardada en ella.

Figura 9. Aplicación SL040 config.exe

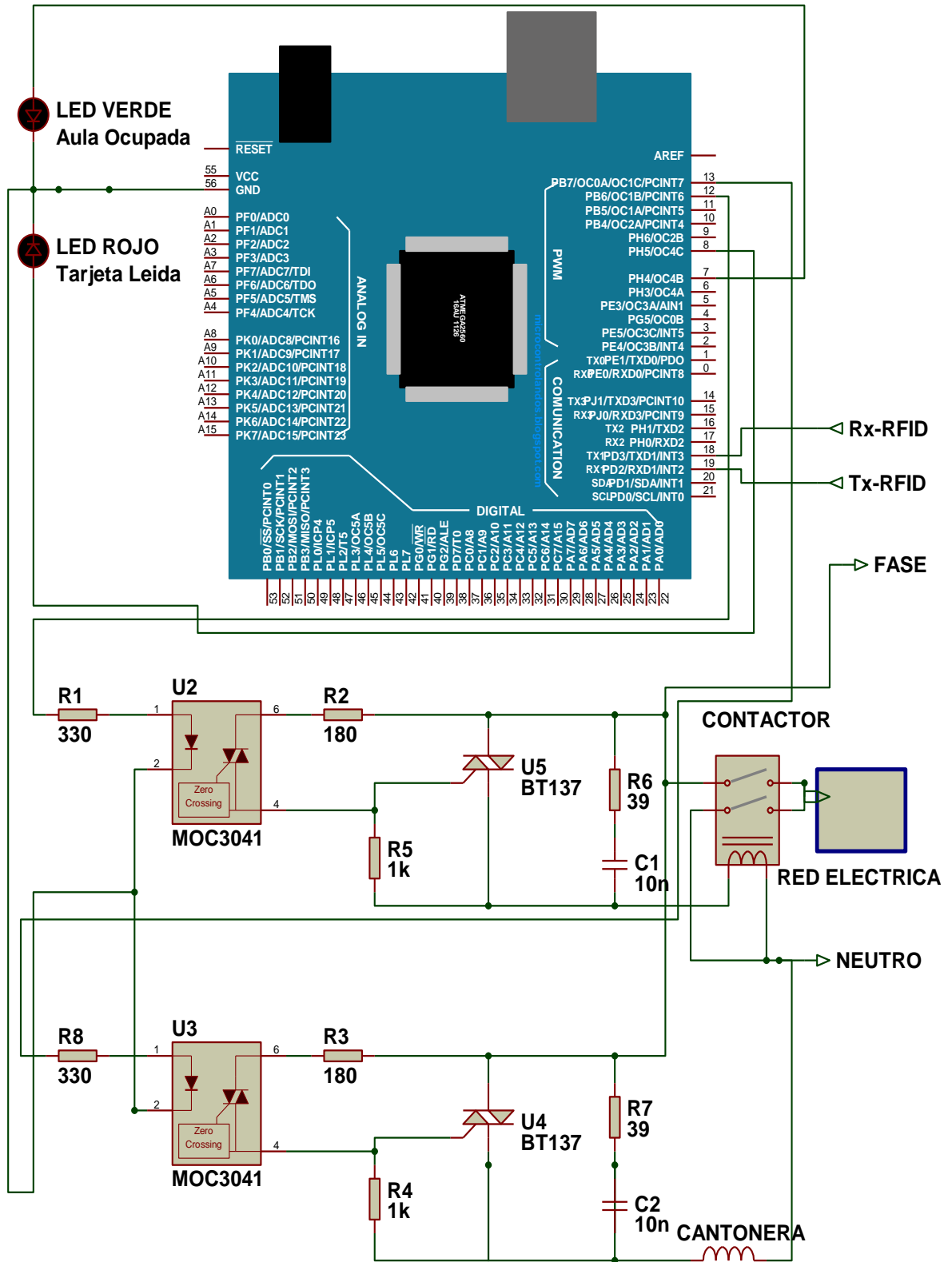


3.1.3 Controlador y acondicionamiento. En la Figura 10, se muestra el diagrama eléctrico de la etapa de control del sistema, que consta del Controlador, encargado de administrar el sistema, y el Circuito de Acondicionamiento, encargado de adaptar la señales a los niveles necesarios para manejar las respectivas cargas (cantonera y red eléctrica).

Para el controlador, se seleccionó la placa Arduino Mega2560 basada en el microcontrolador ATmega2560, y el Ethernet Shield basado en el chip WIZNET W5100.

Entre las características más importantes de la placa Arduino Mega2560 está que cuenta con un oscilador interno de 16Mhz, 8KBytes de memoria SRAM, 4Kbytes de memoria EEPROM, 4 puertos para comunicación serial, comunicación SPI (incluyendo un conector ICSP), y una gran cantidad de entradas y salidas digitales, que permiten la fácil expansión del sistema (control de iluminación, detectores de humo, controlar temperatura, control de presencia). Adicionalmente la programación de la placa es muy sencilla, ya que el entorno de desarrollo integrado (IDE) está basado en lenguaje C y no requiere de ningún tipo de interfaz adicional para su programación.

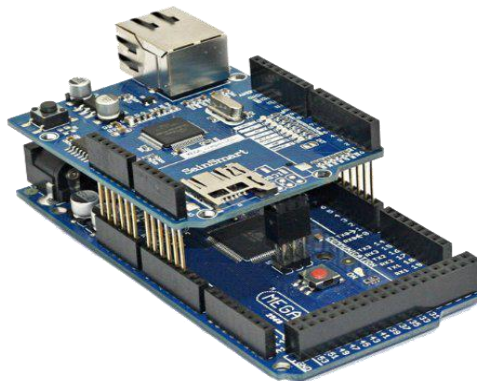
Figura 10. Diagrama eléctrico etapa de control



La placa Arduino Mega2560 se encarga de recibir la información que obtiene el lector RFID a través de uno de los puertos seriales de los que dispone; una vez recibe la información, la placa envía los datos al servidor y espera la respuesta del mismo. Adicionalmente se encarga de transmitir una señal para habilitar por cinco segundos la cantonera eléctrica que abre la cerradura y una señal para habilitar la red eléctrica del aula.

La comunicación con el equipo servidor se realiza a través del Ethernet Shield, que además cuenta con un módulo PoE con el cual se alimenta a la placa Arduino Mega2560, y un socket para memoria SD usada para almacenar la información de respaldo que se usa en caso de pérdida de conexión con el equipo servidor. La comunicación entre la placa Arduino Mega2560 y el Ethernet Shield se hace utilizando el bus SPI mediante el conector ICSP apilando las 2 tarjetas tal como se muestra en la Figura 11.

Figura 11. Conexión Arduino Mega2560 y Ethernet Shield



Para el acondicionamiento de la señal de la Arduino Mega2560 para activar la cantonera y el contactor que habilita la red eléctrica del aula, se desarrollaron dos circuitos basados en un optoacoplador y un *triac* con red en *snnuber*, para asegurar el aislamiento eléctrico entre el circuito de control y el de potencia.

El optoacoplador que se seleccionó fue el MOC3041 que cuenta con un detector de cruce por cero para controlar el disparo del *triac* BT137. Por otra parte, debido a que las cargas manejadas por el circuito de acondicionamiento son cargas inductivas (cantonera y contactor), se implementó una red en *snnuber* con una resistencia de 39 Ω y un capacitor de 10 nF para protección del *triac*.

3.1.4 Actuadores. El proceso de acceso a un aula consta básicamente de dos acciones: abrir la puerta del aula y habilitar la red eléctrica de la misma, de manera automatizada.

Para la apertura del aula de clase se seleccionó la cantonera eléctrica GATO 733 que se muestra en la Figura 12.

Figura 12. Cantonera eléctrica GATO 733



Entre las características más importantes de la cantonera eléctrica, están su fácil manejo, ya que para activarla solo requiere la energización de la bobina, y su fácil adaptación para trabajar con cualquier tipo de cerradura mecánica.

La habilitación de la red eléctrica del aula se hace a través de un contactor, un dispositivo con capacidad de establecer o interrumpir el paso de corriente mediante la energización de su bobina de control.

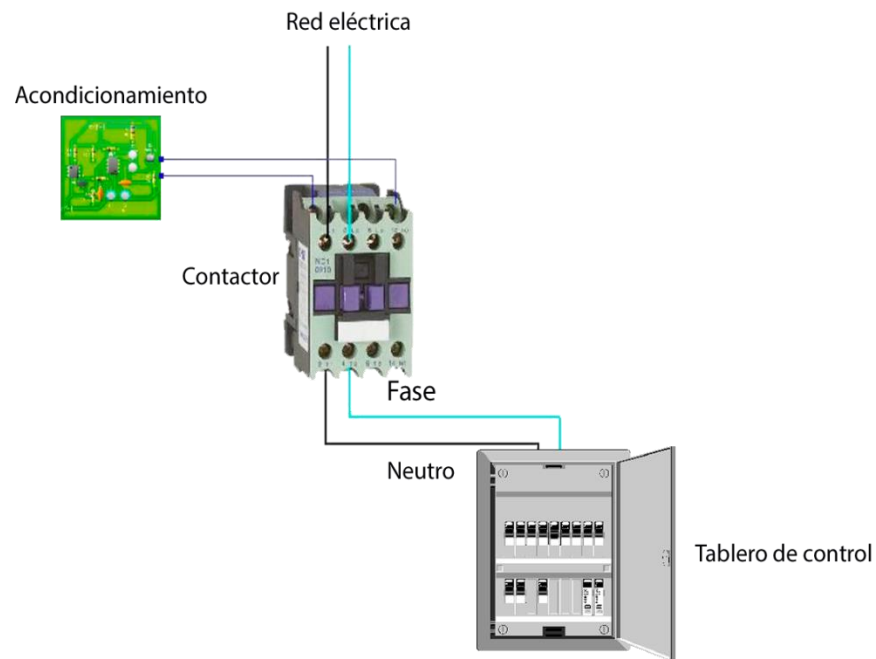
El contactor seleccionado fue el LS GMC-9 que se muestra en la Figura 13, cuya bobina de control opera a 120VAC, y maneja tensiones de 220VAC.

Figura 13. Contactor LS GMC-9



La Figura 14, muestra el modo de conexión del contactor, el cual es habilitado a través del circuito de acondicionamiento, que energiza la bobina de control, haciendo que el contactor permita el paso de corriente a cada *breaker* del tablero de control del aula.

Figura 14. Conexión contactor



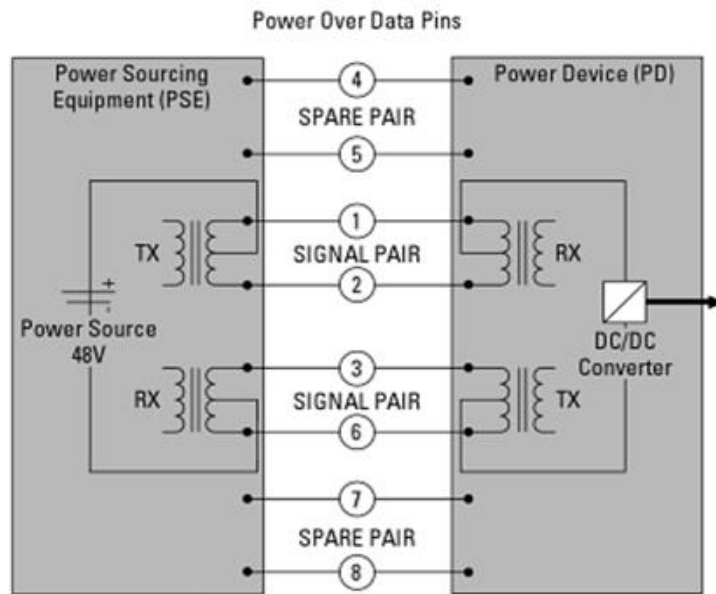
3.1.5 Comunicación Ethernet. La comunicación Ethernet entre la Arduino Mega2560 y el servidor que aloja la base de datos, se realiza a través del switch Cisco SF 302-08, que se muestra en la Figura 15.

Figura 15. Switch Cisco SF 302-08



Entre las características más importantes de este switch están que es un switch administrable lo que permite optimizar el tráfico y la seguridad de la red; y que cuenta con el estándar PoE, que le permite alimentar dispositivos a través los mismos pares del cable ethernet que se utilizan para la transmisión de datos (pines 1-2 y 3-6), tal como se muestra en la Figura 16.

Figura 16. Configuración PoE



Fuente: Networking Bible pág. 247

3.2 COMPONENTES DE SOFTWARE

3.2.1 Aplicación web. Esta herramienta permite la comunicación activa entre los administradores y gestores de permisos de acceso y el servidor que aloja la base de datos del sistema. Esto da la posibilidad de administrar los registros de usuarios y permisos de acceso a las aulas en tiempo real, a través de cualquier navegador.

Para acceder a la aplicación cada administrador y gestor de permisos de acceso cuenta con un nombre de usuario y una contraseña.

Por medio de la aplicación y dependiendo del rol (administrador o gestor de permisos de acceso) se pueden realizar las operaciones listadas en la Cuadro 11.

Cuadro 11. Lista de Operaciones

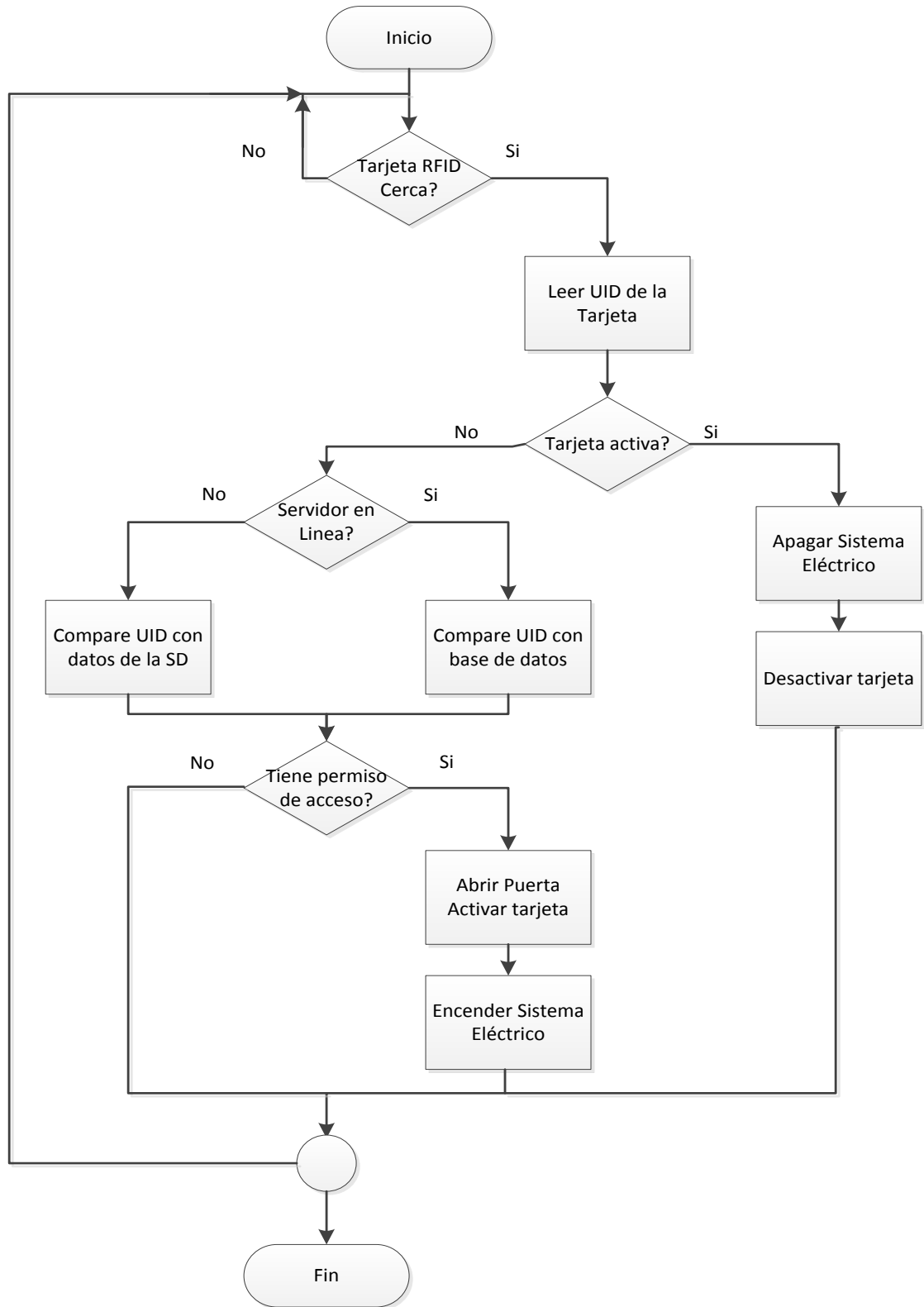
Operación	Encargado
Agregar administrador	administrador
Eliminar administrador	administrador
Agregar gestor de permisos	administrador
Eliminar gestor de permisos	administrador
Modificar contraseña	administrador y gestor de permisos
Agregar usuario	administrador y gestor de permisos
Eliminar usuario	administrador y gestor de permisos
Agregar permisos de acceso	administrador y gestor de permisos
Eliminar permisos de acceso	administrador y gestor de permisos
Agregar aula	administrador y gestor de permisos
Ver registro de eventos	administrador y gestor de permisos

La aplicación web para la administración del sistema se desarrolló en los lenguajes HTML y PHP.

3.2.2 Arduino. La programación de la placa Arduino Mega2560 se realizó a través del Arduino IDE 1.0.3, basado en el lenguaje C, utilizando las librerías Ethernet, para la comunicación con el equipo servidor; SPI, para la comunicación entre la placa Arduino Mega2560 y el Ethernet Shield; SD, para acceder a los datos de respaldo en caso de pérdida de conexión con el servidor; y Software serial, para comunicarse con el lector RFID MFRC522.

La programación se realizó teniendo en cuenta el diagrama de flujo que se muestra en la Figura 17.

Figura 17. Diagrama de flujo programa Arduino



3.2.3 Servidor y base de datos. El acceso a la aplicación web, se realiza desde la red local utilizando para ello el Wamp Server, un software que consta de un conjunto de programas que proporcionan un entorno de desarrollo web.

La instalación de Wamp Server en un equipo permite que este haga las veces de servidor web, y se pueda acceder a los datos alojados en él, a través de un navegador escribiendo la dirección IP del equipo.

Entre las características más relevantes del Wamp server están:

- pre visualizar sitios web localmente,
- instalar un servidor web en Windows,
- administrar configuraciones de servidores Apache,
- crear aplicaciones web,
- gestionar base de datos de MySQL,
- utilizar lenguaje PHP ejecutando archivos localmente, y
- realizar pruebas con sitios PHP antes de subirlos a Internet

La creación y configuración de las bases de datos del sistema, se realizó a través del Gestor gráfico de base de datos PHP MyAdmin, el cual es un manejador de MySQL basado en PHP, distribuido bajo la licencia GNU de software libre, incluido en el paquete Wamp Server.

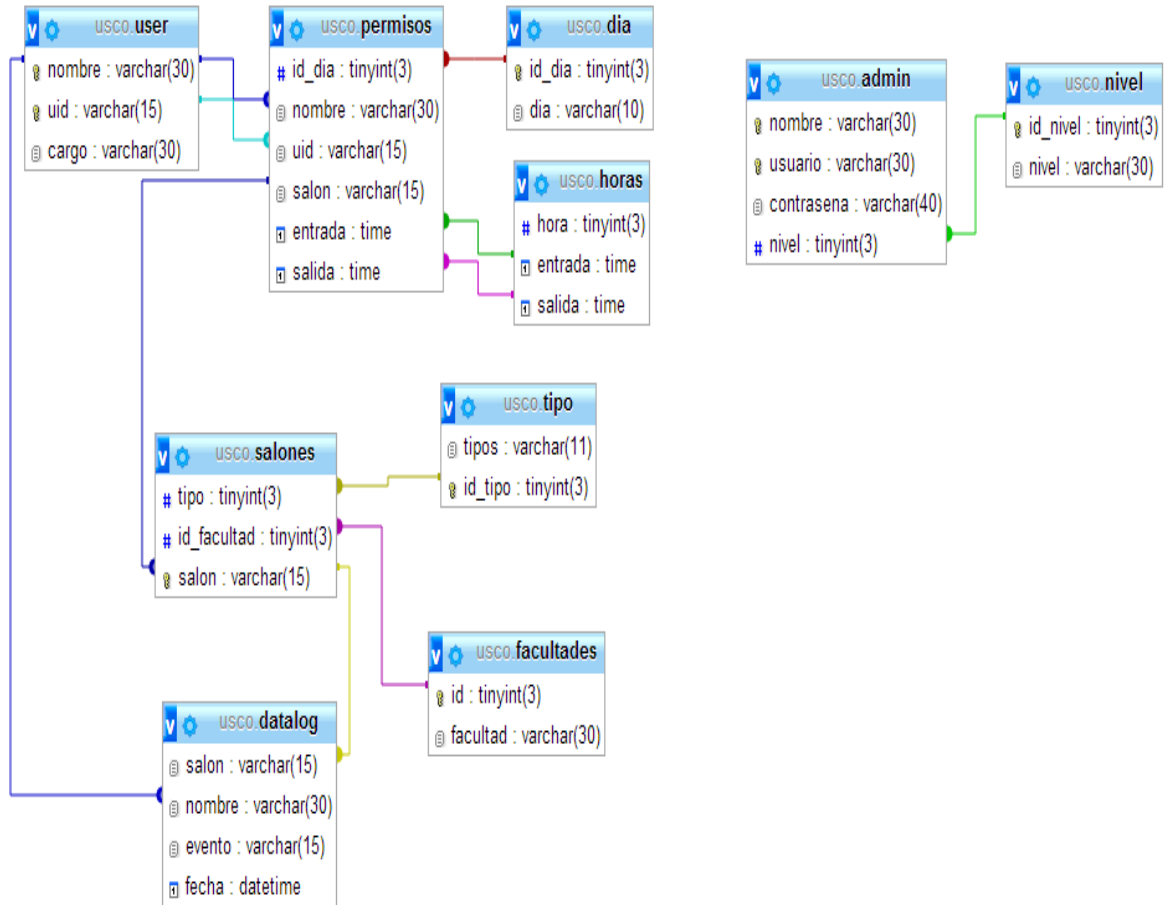
Mediante esta interfaz se pueden crear, editar y eliminar varias tablas y/o registros pertenecientes a una base de datos.

La base de datos del sistema se desarrolló basada en el modelo entidad-relación que se muestra en la Figura 18.

Cabe destacar que la creación de la tabla tipos, se hizo considerando una futura expansión del sistema, permitiendo asignarle a un salón la categoría de aula, laboratorio u oficina. La creación de nuevos registros en la tabla salones, dependerá de que no existan registros con el mismo número de salón por facultad.

Por otra parte, la creación de la tabla nivel se realizó con el fin de determinar el rol de los usuarios que se encargan del manejo del sistema, dándoles el título de administrador o gestor de permisos.

Figura 18. Diagrama entidad-relación base de datos del sistema



3.2.4 Software de identificación UID. Para la adición de nuevos usuarios al sistema, se requiere obtener la UID de su carné, para ingresarla en la base de datos. Esto se hace mediante una aplicación de escritorio de fácil manejo desarrollada en el software visual c#.net.

La realización de la lógica de la aplicación, se hizo teniendo en cuenta que la UID de los carnés consta de cuatro bytes. Estos son enviados en paquetes de 1 byte y convertidos a base hexadecimal. Si el dígito hexadecimal es menor que quince, el lector RFID imprime un cero adicional a la izquierda del dígito enviado (01, 02, 03, 04, 05, 06, 07, 08, 09, 0a, 0b, 0c, 0d, 0e, 0f), haciendo necesario eliminar ese cero, para obtener el dato real del UID del carné.

La aplicación se encarga de obtener y mostrar el valor real de la UID del carné. Adicionalmente adjunta este valor al portapapeles del computador para poder usarlo en la aplicación web.

4. ANÁLISIS DE RESULTADOS

En este capítulo se muestran los resultados obtenidos en cuanto a la infraestructura, fiabilidad, desempeño y aceptación del desarrollo de un prototipo para el control de acceso en las aulas de la Universidad Surcolombiana (de ahora en adelante se denominara como sistema).

Para las pruebas del sistema, se emplearon tres carnés RFID y se creó una base de datos de permisos de acceso con días y horarios distintos. Por otra parte se tuvo en cuenta, que para que el carné sea detectado, debe estar en un rango de 5 mm a 10 mm frente al lector RFID.

4.1 INFRAESTRUCTURA DEL SISTEMA

Para evaluar de manera eficaz el desempeño y fiabilidad del sistema, se desarrollaron dos prototipos que simularán un ambiente similar al de dos aulas, tal como se muestra en la Figura 19.

Cada prototipo está compuesto de una puerta con cantonera eléctrica y un panel que cuenta con un tablero de control con un *breaker*, que energiza una bombilla y un tomacorriente; un lector RFID, para la detección de los carnés; una placa Arduino Mega2560 con escudo Ethernet, para la comunicación con el equipo servidor y para el control de los componentes del sistema; y un contactor, que se encargara de establecer o interrumpir el paso de corriente al tablero de control.

Por otra parte, la administración de permisos de acceso, usuarios y encargados del sistema, mediante la aplicación web desarrollada, se realiza en tiempo real y cuenta con una organización por días y horarios de clase. Asimismo, la respuesta del sistema ante la pérdida de conexión con el equipo servidor fue totalmente acertada en el 100% de los casos, ya que una vez interrumpida la comunicación entre el sistema y el equipo servidor, este realizaba las consultas de los permisos a través de la información de respaldo alojada en la memoria SD, y al restablecerse la comunicación con el equipo servidor el sistema realizaba las consultas de los permisos al servidor de base de datos.

Adicionalmente se determinó la capacidad del sistema, ante la solicitud simultánea de acceso o salida de los dos prototipos. La respuesta del sistema fue siempre favorable, ya que activaba la cantonera y habilitaba la red eléctrica de ambos prototipos al mismo tiempo. Igualmente el sistema presentaba un comportamiento similar al deshabilitar la red eléctrica en proceso de salida.

Figura 19. Infraestructura del sistema



Cabe resaltar que durante el desarrollo y prueba de los prototipos se presentaron inconvenientes derivados del proceso de detección y lectura de las UID de los carnés. En algunas ocasiones, el lector RFID enviaba una UID de una tarjeta distinta a la que se estaba usando, ya que en el proceso de lectura automática, quedaba en la EEPROM del lector RFID la UID de un carné leído anteriormente. En consecuencia a esto, se requirió de la combinación de dos métodos para la lectura de los carnés; uno automático, que permitiera activar el lector e identificar cuando un carné estaba en el rango de lectura; y uno por pedido del controlador, que obtuviera la UID del carné y desactivara el lector RFID.

4.2 APLICACIÓN WEB

Para la administración de usuarios del sistema y permisos de acceso a las aulas de clase se desarrolló una aplicación web que consta de:

- pantalla de inicio y login,

- panel de control,
- nuevo administrador,
- editar administrador,
- nuevo usuario,
- eliminar usuario,
- nueva aula/oficina,
- agregar permisos de acceso,
- editar permisos de acceso,
- registro de eventos

4.2.1 Pantalla de inicio y login. La pantalla de inicio y login que se muestra en la Figura 20, consta de imágenes representativas de la Universidad Surcolombiana y el programa de Ingeniería Electrónica, además de una presentación que muestra los componentes y funcionalidades del sistema.

Adicionalmente, cuenta con el panel de *login*, que requiere de un nombre de usuario y contraseña para poder acceder a todas las funcionalidades de la aplicación.

Figura 20. Inicio y login



4.2.2 Panel de control. El panel de control que se muestra en la Figura 21, está compuesto de varias imágenes y *links* que permiten acceder a cada una de las funcionalidades de la aplicación web (nuevo administrador, editar administrador, nuevo usuario, eliminar usuario, agregar aula/oficina, agregar permisos de acceso, editar permisos de acceso, registro de eventos, cerrar sesión).

Cabe resaltar que la aplicación web cuenta con dos tipos de usuario (administradores y gestores de permiso) y dependiendo del tipo de usuario se presentan ciertas modificaciones en el panel de control.

En la pantalla del panel de control de un gestor de permisos, no se presenta un *link* para acceder a la función agregar administrador y el *link* de editar administrador solo le da la opción de cambiar su contraseña.

Figura 21. Panel de control



4.2.3 Nuevo administrador. La opción de nuevo administrador que se muestra en la Figura 22, permite que el administrador del sitio pueda agregar nuevos administradores y gestores de permiso.

La pantalla consta de un formulario que debe ser totalmente diligenciado, en donde se solicita el nombre, usuario, contraseña y categoría (administrador o

gestor de permisos) del nuevo registro. Adicionalmente cuenta con un panel lateral que realiza las mismas funciones que el panel de control.

Figura 22. Nuevo administrador



4.2.4 Editar administrador. Como se había mencionado anteriormente, el sistema cuenta con dos tipos de usuario: administrador y gestor de permisos. En el caso concreto del administrador, esta opción muestra en pantalla la lista de administradores y gestores de permisos, junto con la opción de eliminarlos y modificar su propia contraseña, tal como se muestra en la Figura 23.

Para el caso específico de un gestor de permisos, la opción editar administrador lo lleva a un formulario que le permite modificar su contraseña, tal como se muestra en la Figura 24. Es importante destacar que ambos casos, la opción editar administrador cuenta con un panel lateral que realiza las mismas funciones que el panel de control.

Figura 23. Editar administrador



Figura 24. Modificar contraseña



4.2.5 Nuevo usuario. La opción nuevo usuario que se muestra en la Figura 25, cuenta con un formulario que permite el registro de nuevos usuarios a los que registrará el sistema.

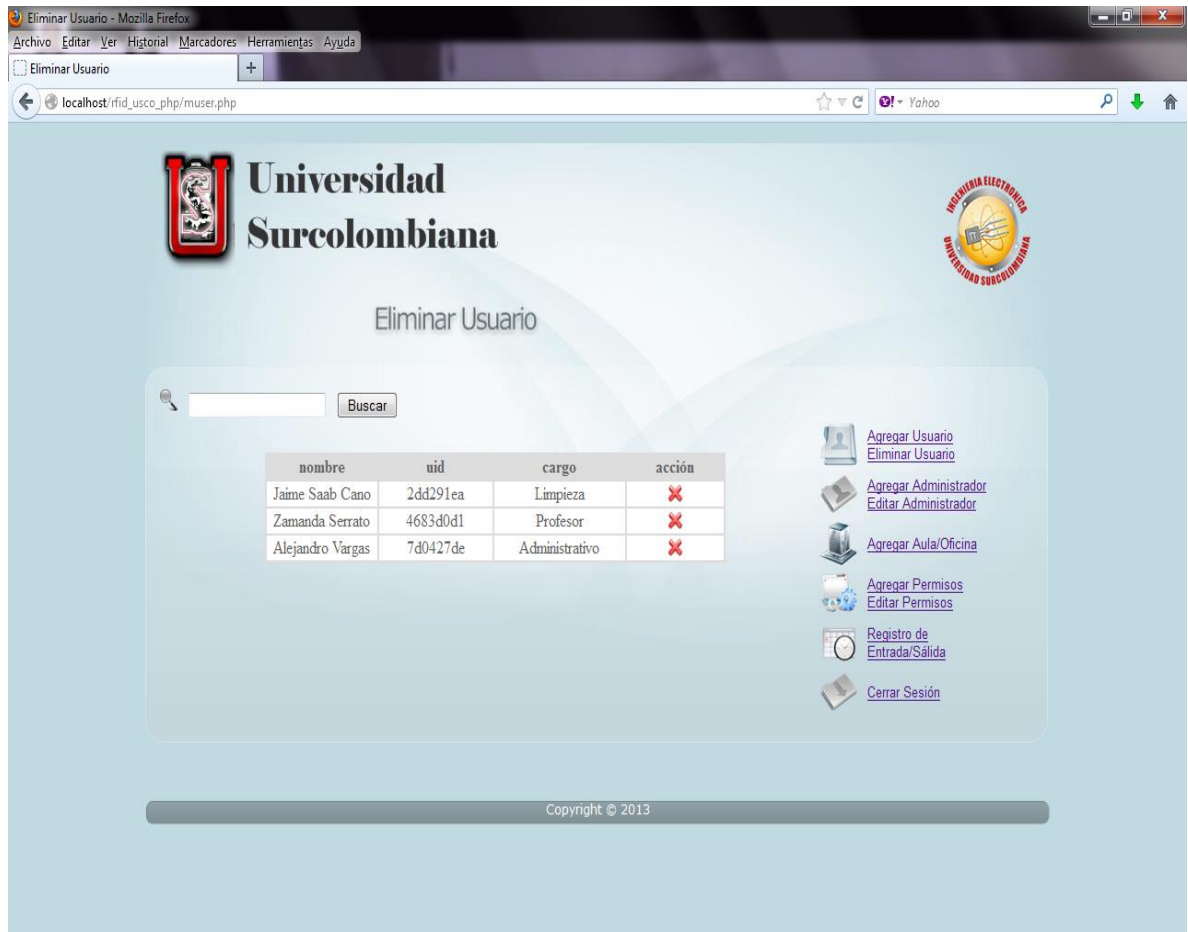
Para el registro del nuevo usuario se debe ingresar su nombre completo, la UID de su carné y el cargo que desempeña en la comunidad universitaria (profesor, administrativo, personal de limpieza). Adicionalmente cuenta con un panel lateral, que cumple con la misma función del panel de control.

Figura 25. Nuevo usuario



4.2.6 Eliminar usuario. La opción eliminar usuario que se muestra en la Figura 26, imprime en pantalla todos los datos relacionados de los usuarios registrados al sistema, junto con la opción de eliminarlos. Adicionalmente cuenta con una opción de búsqueda, que permite ubicar usuarios por su nombre, UID o cargo. También cuenta con un panel lateral, que cumple con la misma función del panel de control.

Figura 26. Eliminar usuario



4.2.7 Nueva aula/oficina. La opción nueva aula/oficina que se muestra en la Figura 27, consta de un formulario que permite el registro de una nueva/aula oficina, a la que se haya implementado el sistema de control de acceso. Se debe ingresar el tipo de recinto (aula/oficina/laboratorio), la facultad a la cual pertenece y el número que lo identifica. Adicionalmente cuenta con un panel lateral, que cumple con la misma función del panel de control.

Figura 27. Nueva aula/oficina



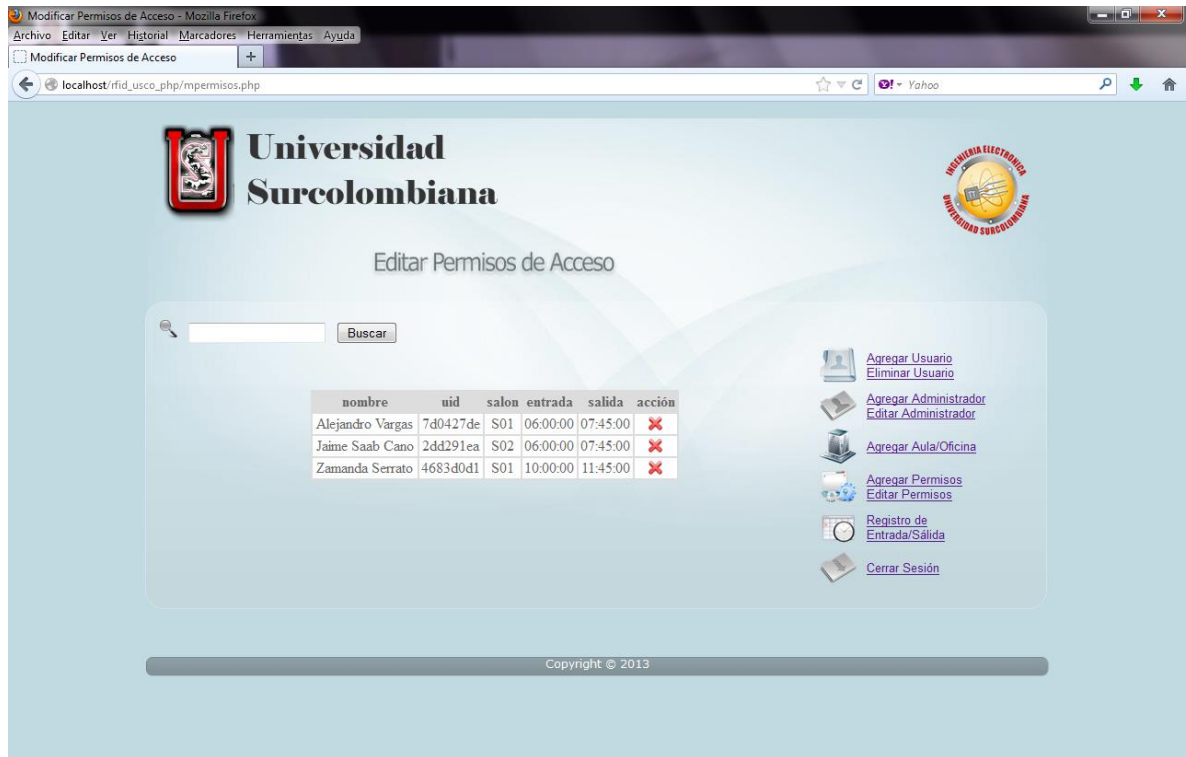
4.2.8 Agregar permisos de acceso. La opción agregar permisos de acceso que se muestra en la Figura 28, cuenta con un formulario compuesto solamente por campos del tipo selección, que se cargan con los registros de la base de datos del sistema. A través de esta pantalla se selecciona el usuario que requiere un permiso de acceso, la facultad, el salón, el día, la hora de ingreso y la hora de salida. La realización del formulario solo con campos del tipo selección, se hizo para facilitar la labor de los administradores y gestores de permiso a la hora de realizar esta tarea. Adicionalmente cuenta con un panel lateral, que cumple con la misma función del panel de control.

Figura 28. Agregar permisos de acceso



4.2.9 Editar permisos de acceso. La opción editar permisos de acceso que se muestra en la Figura 29, imprime en pantalla todos los datos relacionados con los permisos por día, registrados al sistema, junto con la opción de eliminarlos. Adicionalmente cuenta con una opción de búsqueda, que permite ubicar registros por nombre, UID, salón, hora de ingreso u hora de salida. También cuenta con un panel lateral, que cumple con la misma función del panel de control.

Figura 29. Editar permisos de acceso



4.2.10 Registro de eventos. La opción registro de eventos que se muestra en la Figura 30, imprime en pantalla todos los datos relacionados con los eventos registrados al sistema. Adicionalmente cuenta con una opción de búsqueda, que permite ubicar registros por salón, UID, evento y fecha. También cuenta con un panel lateral, que cumple con la misma función del panel de control.

Figura 30. Registro de eventos



4.3 ESTUDIO DE ACEPTACIÓN DEL SISTEMA

El éxito o fracaso de un proyecto depende en gran medida del nivel de aceptación de la comunidad a la cual va dirigido. Teniendo en cuenta esto se realizó un estudio inicial, teniendo en cuenta las opiniones y actitudes de la comunidad educativa con respecto a la situación actual de la infraestructura de la Universidad. Para esto se utiliza la herramienta de escala Tipo Likert. Las escalas son instrumentos de medición o pruebas psicológicas que frecuentemente son utilizadas para la medición de actitudes, definiendo el término actitud como “la suma total de inclinaciones y sentimientos, prejuicios o distorsiones, nociones preconcebidas, ideas, temores, amenazas y convicciones de un individuo acerca de cualquier asunto específico”.¹

La escala de Likert mide actitudes o predisposiciones individuales en contextos sociales particulares. Se le conoce como escala sumada debido a que la puntuación de cada unidad de análisis se obtiene mediante la sumatoria de las respuestas obtenidas en cada ítem.

¹ Briones, G. (1995). Métodos y Técnicas de Investigación para las Ciencias Sociales, 2a reimp., Ed. Trillas, México.

La escala se construye en función de una serie de ítems que reflejan una actitud positiva o negativa acerca de un estímulo o referente. Cada ítem está estructurado con cinco alternativas de respuesta, y cada una tiene un valor.

5=Totalmente de acuerdo

4= Bastante de acuerdo

3=Ni de acuerdo, ni en desacuerdo

2=Poco de acuerdo

1=Totalmente en desacuerdo

4.3.1 Encuesta. Se plantearon nueve preguntas para determinar la percepción y actitudes que tiene la comunidad sobre el estado actual de la infraestructura de las aulas de la Universidad Surcolombiana y la necesidad de controlar el ingreso a las mismas.

La encuesta se aplicó a 150 sujetos entre estudiantes, docentes y personal de servicios generales, ya que estos son quienes tienen mayor interacción con las instalaciones y recursos de las aulas.

Las preguntas se diseñaron explícitamente sobre la actualidad de las aulas de la facultad de educación, ya que en estas se reciben clases de todos los programas de la universidad.

A continuación se presenta el formato de la encuesta realizada.



Estudiante___ Profesor___ Personal de Limpieza___

Gracias por responder el siguiente cuestionario. Sus respuestas confidenciales y anónimas, tienen por objeto recoger su importante opinión sobre las condiciones de las instalaciones y recursos (aires acondicionados, luces, pupitres, tableros) de las aulas de clase del bloque de Educación de la Universidad Surcolombiana, las problemáticas existentes y posibles soluciones a estas, como parte del proyecto **“DESARROLLO DE UN PROTOTIPO PARA EL CONTROL DE ACCESO Y SUMINISTRO ELÉCTRICO EN LAS AULAS DE LA UNIVERSIDAD SURCOLOMBIANA USANDO TECNOLOGÍA RFID.”**

Clasifique su nivel de satisfacción de acuerdo con las siguientes afirmaciones:

- 5=Totalmente de acuerdo
4= Bastante de acuerdo
3=Ni de acuerdo, ni en desacuerdo
2=Poco de acuerdo
1=Totalmente en desacuerdo

- | | 1 | 2 | 3 | 4 | 5 |
|---|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|
| A. Las aulas cuentan con óptimas condiciones para el desarrollo de las clases. | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> |
| B. Los aires acondicionados y pupitres de la mayoría los salones están deteriorados. | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> |
| C. El uso inadecuado de elementos e instalaciones de las aulas por parte de algunos estudiantes, es la causa principal del deterioro de los mismos. | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> |
| D. La Universidad no invierte lo necesario en el mantenimiento de las instalaciones y recursos de cada salón. | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> |
| E. Es importante ejercer control en el ingreso a los salones de clase, para evitar el deterioro de estos. | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> |
| F. La falta de control en el acceso a los salones permite que estudiantes y profesores ocupen salones destinados a otras materias. | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> |
| G. El ingreso a las aulas de clase, solo debe ser permitido por los profesores y personal de limpieza. | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> |
| H. Se debe invertir en alternativas tecnológicas que garanticen el buen estado de los elementos e instalaciones de cada aula. | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> |
| I. Los salones deben permanecer abiertos para que cualquier persona acceda a ellos. | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> | <input type="radio"/> |

4.3.2 Análisis. El análisis de las respuestas obtenidas evidencia que existe un acuerdo en que las instalaciones de las aulas de la facultad de educación Universidad Surcolombiana se encuentran deterioradas y así mismo los implementos necesarios para el desarrollo normal de las clases. Se destaca también el hecho de que la comunidad reconoce que el mal uso dado por algunos estudiantes y la falta de control en el acceso a las aulas son las principales causas de las actuales condiciones de la infraestructura. Asimismo, se resalta la aceptación de la comunidad a la inversión e implementación de sistemas que controlen de manera eficiente el acceso a las aulas de clase.

En las siguientes gráficas se muestran los resultados obtenidos de la realización de la encuesta.

Figura 31. Condiciones para el desarrollo de las clases

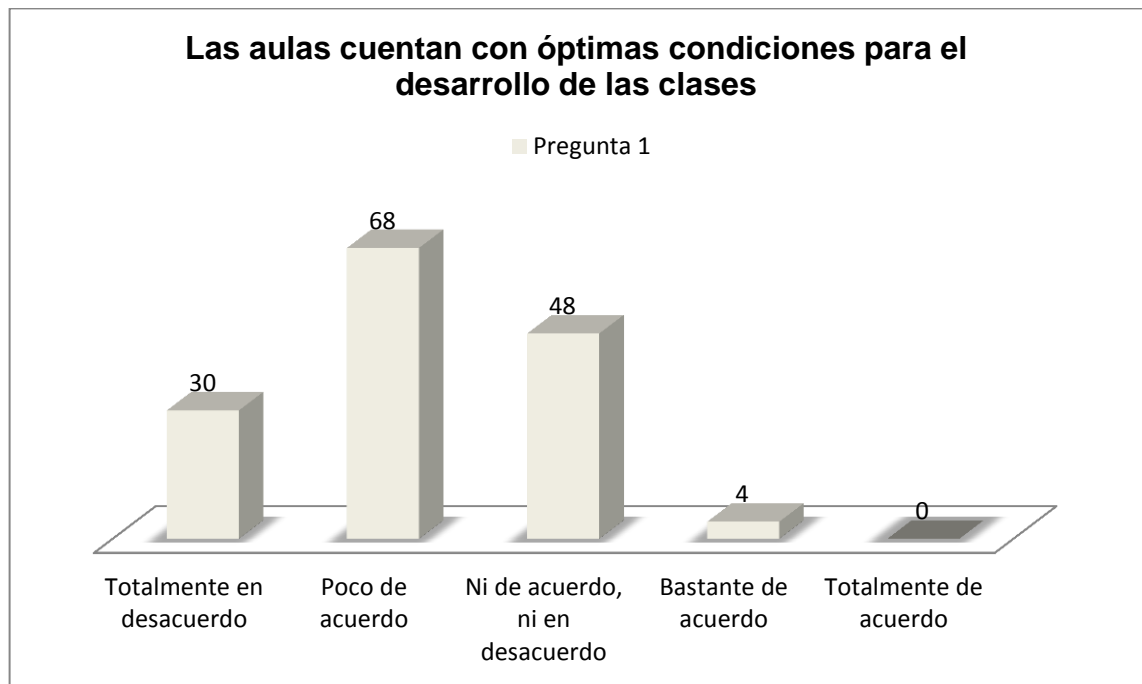


Figura 32. Condiciones elementos de las aulas de clase

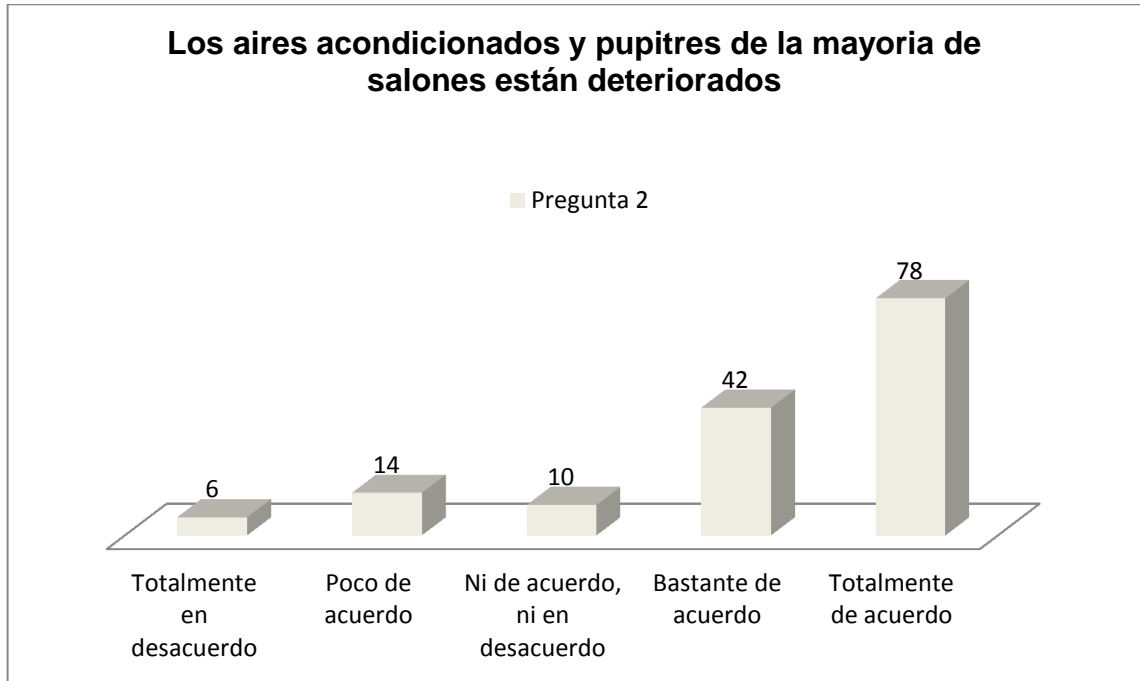


Figura 33. Responsabilidad deterioro de la infraestructura

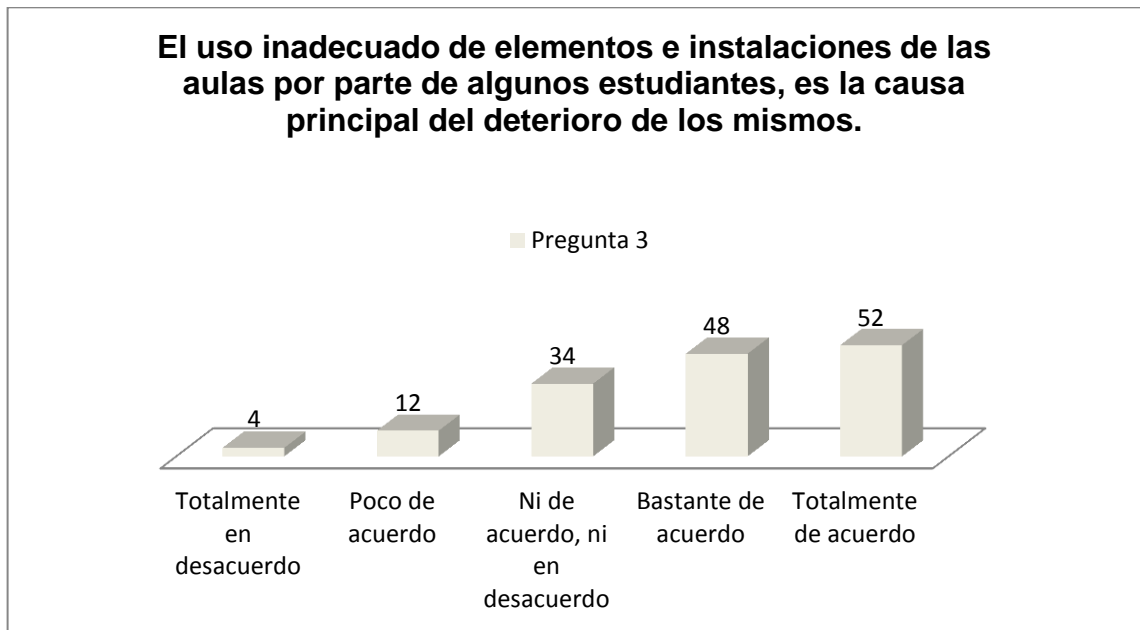


Figura 34. Inversión en mantenimiento de infraestructura

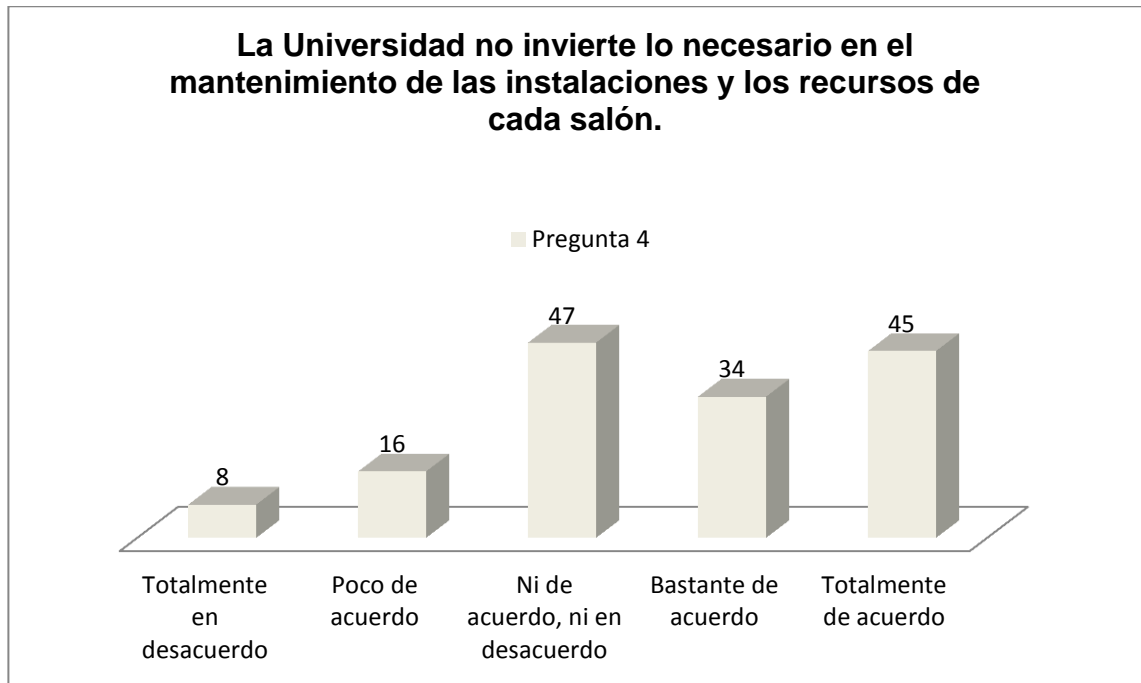


Figura 35. Importancia control de acceso a las aulas

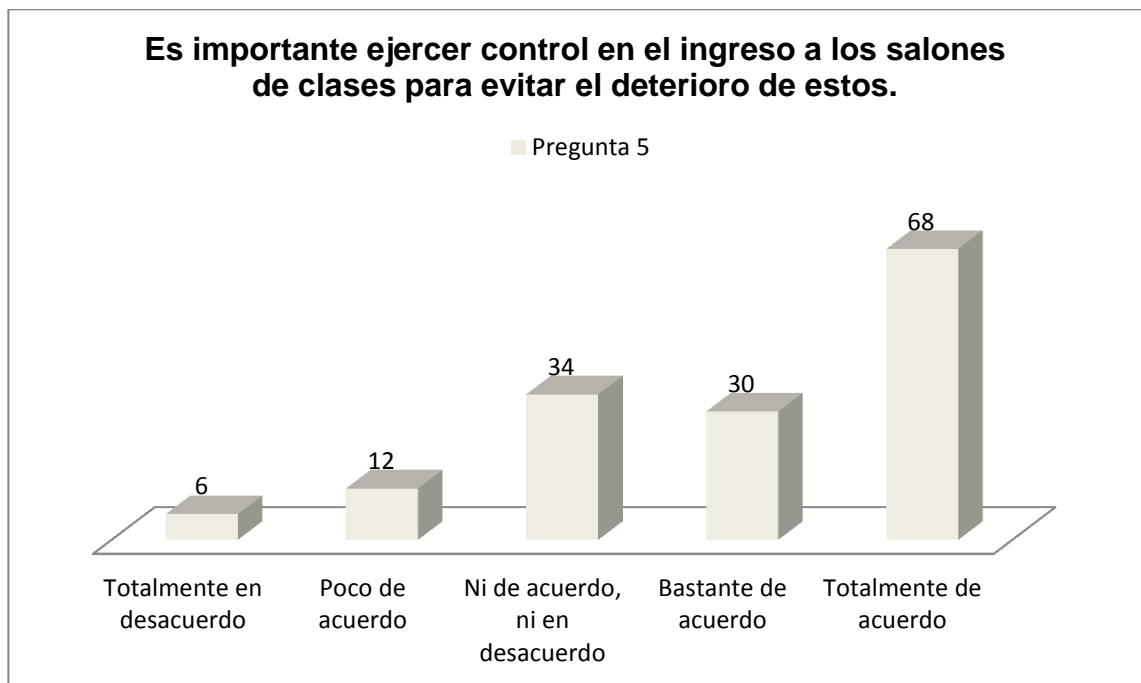


Figura 36. Consecuencias de la falta de control de acceso a las aulas

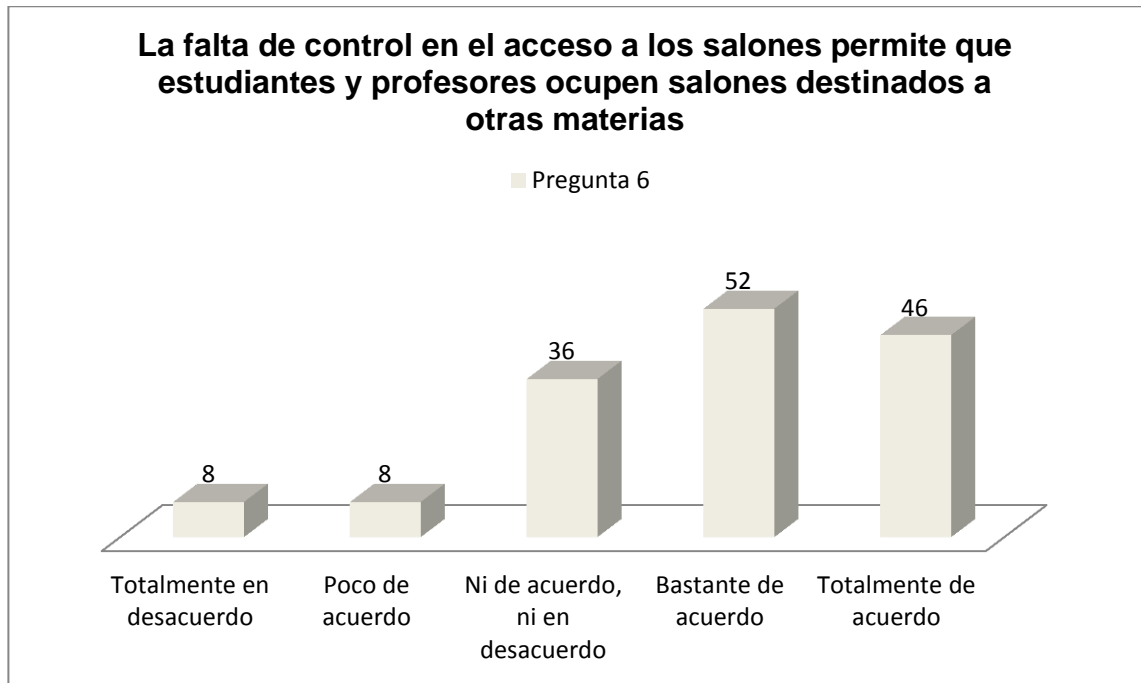


Figura 37. Encargados del ingreso a las aulas

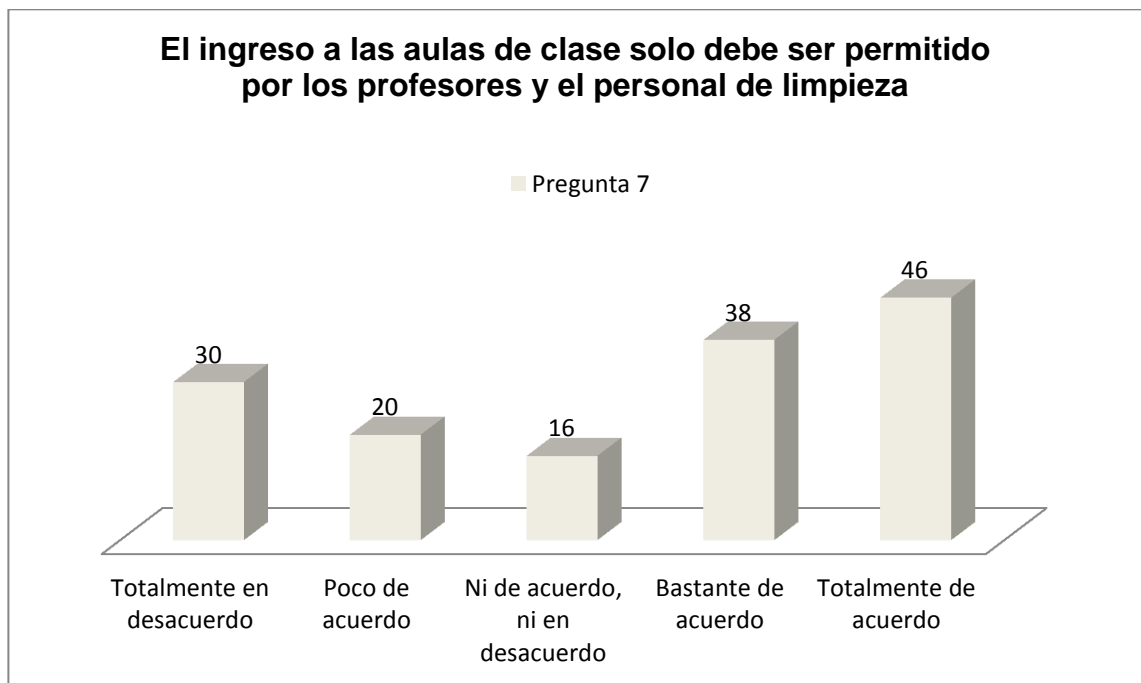


Figura 38. Inversión en alternativas tecnológicas

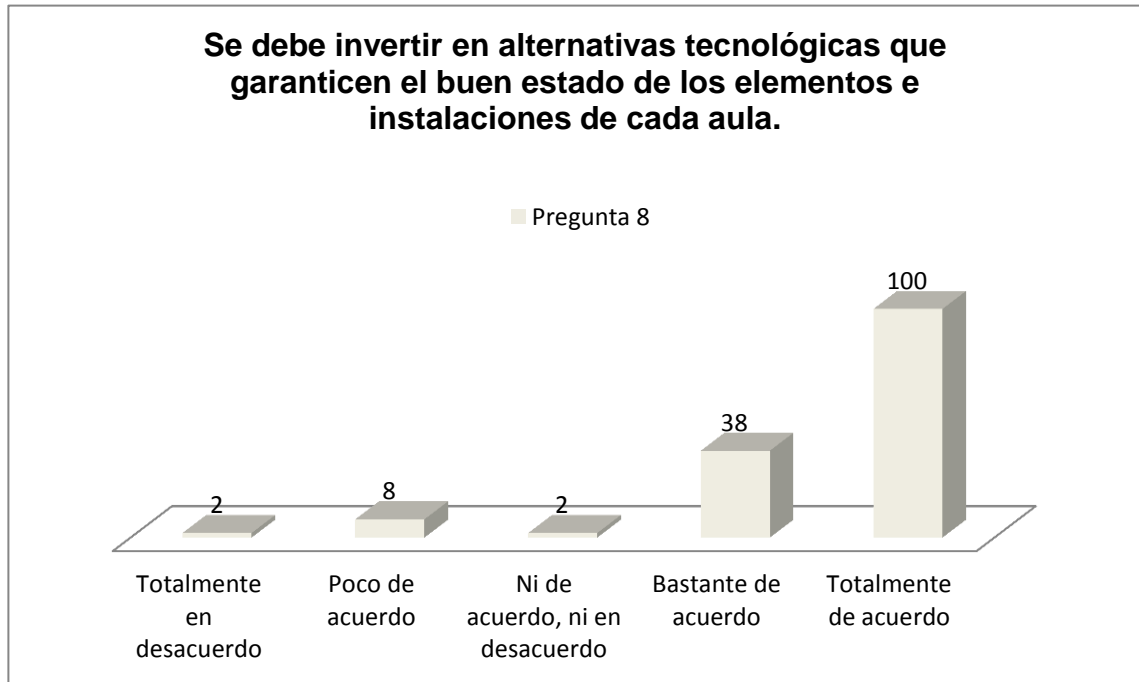
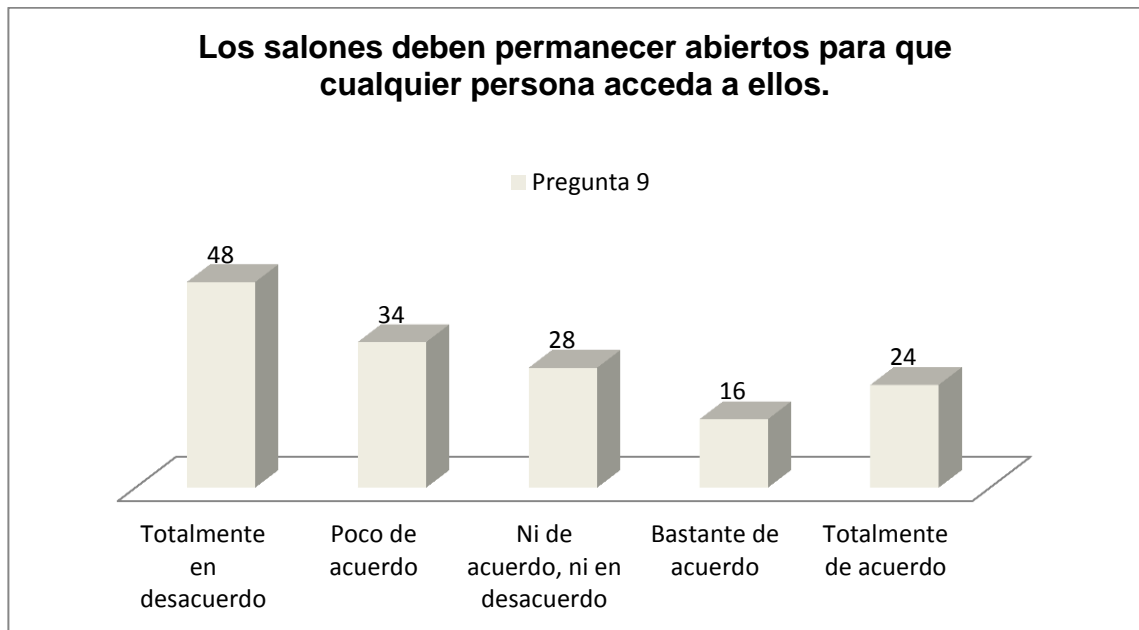


Figura 39. Acceso libre a las aulas



4.4 RELACIÓN COSTO BENEFICIO

El deterioro de las instalaciones y elementos de las aulas de clase de la Universidad Surcolombiana no solo causa problemáticas en el ámbito social, derivadas de la falta de condiciones óptimas para la realización de las clases, sino que además, afectan negativamente la economía de la Universidad, que debe destinar fondos anualmente para el mantenimiento de la infraestructura de las aulas.

Según información de la división financiera de la Universidad, tan solo en el 2012 se realizó una inversión de \$209.704.800 pesos en la compra de pupitres y de \$218.141.855 pesos en la compra y mantenimiento de aires acondicionados. Asimismo, se presupuestó una inversión de \$36.000.000 de pesos, para el mantenimiento general de las instalaciones (pintura). Por otra parte, el pago por consumo de energía eléctrica, fue de \$614.248.970 pesos. Cabe resaltar, que estas cifras solo abarcan los gastos realizados para efectos de mantenimiento y compra elementos de las aulas, y pagos de consumo eléctrico de la sede principal de la Universidad.

Para el desarrollo de este proyecto, se contó con el apoyo económico de la Universidad Surcolombiana, que se encargó de la compra de todos los componentes necesarios para la elaboración y pruebas de los dos prototipos. La inversión realizada, fue de \$8.230.000 de pesos. Con esta inversión se logró construir un sistema altamente efectivo, que permite la incorporación de nuevas funcionalidades según las necesidades del ambiente donde sea implementado.

Se estima que para la implementación de este sistema en un aula, se requeriría una inversión aproximada de \$5.000.000 de pesos, para suplir los costos de adecuación, instalación y compra de equipos, tal como se muestra en el Cuadro 12.

Cuadro 12. Costos implementación

Ítem	Descripción	Valor por Unidad
1	Arduino Mega2560	\$130,000
2	Arduino Ethernet Shield con modulo PoE	\$150,000
3	Memoria micro-SD 2GB	\$15,000
4	Lector/escritor RFID MFRC522 MIFARE	\$100,000
5	Caja plástica para módulo RFID	\$10,000
6	Conectores macho 12"x 30	\$33,000
7	Circuito de acondicionamiento	\$75,000
8	Caja 21 cm x 18 cm	\$45,000
9	Contactador LG GMC-22 220v 22A	\$250,000

Cuadro 12 Costos implementación (continuación)

Ítem	Descripción	Valor por Unidad
10	Cantонера eléctrica GATO R-733	\$85,000
11	Cierra puerta hidráulico	\$170,000
12	Cable UTP Belden cat. 5e 23 Awg Ref 7997a	\$956,000
13	Adecuación red eléctrica e instalación de equipos	\$1,350,000
14	Obra civil	\$1,580,000

La realización de esta inversión traería un beneficio a mediano y largo plazo, ya que el sistema se encargara de administrar el suministro eléctrico de las aulas, habilitando el mismo solo cuando se estén realizando sesiones de clase, lo que generaría un ahorro por consumo de energía. Paralelamente la implementación del sistema garantiza la seguridad de los elementos de cada aula de clase, que generaría beneficios económicos derivados del ahorro en gastos por compra de pupitres, bombillas, ventanas y aires acondicionados, ya que estos solo serían reemplazados cuando cumplan su ciclo de vida útil y no periódicamente como consecuencia del mal uso que se le da a estos componentes por parte de algunos estudiantes de la comunidad universitaria. Cabe resaltar que aparte de los beneficios económicos descritos anteriormente, también se obtendrían beneficios en el ámbito social, ya que se mejorarían las condiciones para la realización de las clases y habría un mayor control sobre la puntualidad y duración de cada sesión de clase.

5. CONCLUSIONES

- La implementación de un sistema de control de acceso basado en el sistema desarrollado, es una solución concreta y eficiente a la problemática actual de deterioro de la infraestructura de las aulas de la Universidad Surcolombiana, ya que garantiza la seguridad de elementos e instalaciones de cada aula, ejerciendo un control en tiempo real de quien puede ingresar y determinando que usuarios dejan abiertas las aulas.
- En el proceso de desarrollo se planteó que el sistema también pudiera ser implementado en laboratorios y oficinas, razón por la cual cada uno de los componentes, se escogieron considerando la posible expansión de las funciones del sistema, dependiendo de las necesidades y procesos que se realizan en cada uno de estos ambientes.
- El funcionamiento del dispositivo lector RFID puede verse drásticamente afectado, si este es colocado sobre una superficie metálica.
- Para el control del suministro eléctrico de las aulas, se debe utilizar una etapa de acondicionamiento. La selección de los componentes de esta etapa, debe realizarse teniendo en cuenta la potencia y tensiones de los elementos que deben ser energizados.
- Los resultados del estudio de aceptación realizados, evidenciaron el reconocimiento por parte de la comunidad universitaria de la problemática de deterioro de la infraestructura de las aulas, así como la determinación de que esto es consecuencia de la falta de control en el acceso a las aulas y a la mala utilización que le dan algunos miembros de la comunidad estudiantil.
- El desarrollo del sistema a nivel de prototipo, permite la realización de todo tipo de pruebas, para poder evidenciar comportamientos no deseados en el sistema. Asimismo, permite presentar a los usuarios una idea clara del sistema final, su funcionalidad y manejo.
- El desarrollo de una aplicación web para la administración de los permisos, aulas, usuarios y encargados del sistema, ofrece ventajas sobre el desarrollo de una aplicación de escritorio, ya que permite la disponibilidad de la aplicación desde cualquier dispositivo que cuente un navegador web, además que los usuarios siempre usaran la última versión de la aplicación sin necesidad de realizar actualizaciones.
- La implementación efectiva de este sistema, permitirá mejorar las condiciones para la recepción de clases en las aulas. Paralelamente generará beneficios del

tipo económico a mediano y largo plazo, derivados del ahorro en gastos por mantenimiento en la infraestructura de las aulas, y de la reducción del consumo energético.

6. RECOMENDACIONES Y TRABAJO FUTURO

En el transcurso del desarrollo de este trabajo de grado, se observaron una serie de modificaciones que podrían optimizar el rendimiento del sistema.

Por un lado, para que el sistema brinde un 100% de disponibilidad de funcionamiento, se recomienda diseñar e instalar un sistema de energía eléctrica de respaldo en caso de pérdida de energía eléctrica de las instalaciones, ya que los dispositivos actuadores (contactor y cantonera) se alimentan con la tensión de red.

Por otra parte, se recomienda que la base de datos y la aplicación web, sean instaladas en el equipo servidor de la Universidad Surcolombiana, lo cual permitiría la administración remota de la bases de datos, desde cualquier lugar, a través de Internet

Adicionalmente, el sistema podría vincular laboratorios y oficinas. En el caso de los laboratorios se podría adicionar un control de inventario de los equipos basado en tecnología RFID. Mientras que en el caso de las oficinas, permitiría controlar la asistencia de los administrativos, y requeriría de una pequeña modificación de la aplicación web para establecer los horarios de entrada y salida a las oficinas.

Otra mejora adicional al sistema, sería la integración de sensores de presencia, iluminación y temperatura, que permitirían un mayor ahorro de energía.

Cabe destacar que el sistema se desarrolló a nivel de prototipo, por lo que se recomienda realizar la implementación del mismo, para probar su funcionamiento en un ambiente real, con todas las implicaciones funcionales y sociales de este proceso. De igual manera, se plantea una posible implementación en conjunto de este sistema, con el sistema de control de acceso al campus universitario desarrollado en 2011.

BIBLIOGRAFÍA

Bolic, Miodrag, David Simplot-Ryl y Ivan Stojmenovic. *RFID SYSTEMS: Research trends and Challenges*. Wiley, 2010.

Carballar, José. *WiFi: Lo que se Necesita Conocer*. Alfaomega, 2010.

Coleman, David D. y David A. Westcott. *CWNA: Certified Wireless Network Administrator Study Guide*. Wiley, 2006.

Dean, Tamara. *Network+ Guide to Networks*. Cengage Learning, 2009.

INTERNATIONAL ORGANIZATION FOR STANDARDIZATION. *Identification Cards-Contactless integrated circuit(s) cards-Proximity cards*. ISO 14443, 1999.

Jones, Ercik C. y Christopher A. Chung. *RFID and Auto-ID in Planning and Logistics: A Practical Guide for Military UID Applications*. Taylor & Francis Group, 2011.

Pigan, Raimond y Mark Metter. *Automating with PROFINET: Industrial Communication Based on Industrial Ethernet*. Wiley & Sons, 2008.

Portillo, Javier I., Ana Belén Bermejo y Ana M. Bernardos. *Tecnología de identificación por radiofrecuencia (RFID): Aplicaciones en el ámbito de la salud*. Madrid: Fundación madri+d para el Conocimiento, 2007.

Thornton, Frank y Chris Lanthem. *RFID Security*. Syngress, 2006.

Zhang, Peng. *Advanced Industrial Control Technology*. William Andrew, 2010.

Desarrollo de un Prototipo para el Control de Acceso en las Aulas de la Universidad Surcolombiana

Development of a Prototype for Access Control to the Classrooms of the Surcolombiana University

Vladimir Mosquera Cerquera¹ Jaime Saab Cano² y Henry Vargas Polanía³

Resumen

Este artículo presenta una solución potencial al problema de deterioro de las instalaciones y elementos de las aulas de clase de la Universidad Surcolombiana, mediante el desarrollo de un prototipo para controlar el acceso y el suministro eléctrico de las aulas, basado en la tecnología RFID. Para el desarrollo del prototipo, se utilizó el dispositivo RFID lector/escritor MFRC522 de la empresa NXP Semiconductors, compatible con los carnés RFID utilizados para la identificación del personal perteneciente a la comunidad universitaria; junto con la placa Arduino Mega2560 y la Arduino Ethernet Shield. Adicionalmente, se desarrolló una aplicación web en los lenguajes HTML y PHP, para la administración de la base de datos de permisos y usuarios en tiempo real.

Palabras clave: Prototipo; RFID, MFRC522; Arduino Mega2560; Arduino Ethernet Shield; Aplicación web; HTML; PHP; Base de datos.

Abstract

This paper presents a potential solution to the problem of deteriorating facilities and elements of the classrooms in the Surcolombiana University, through the development of a prototype to control access and power supply in the classrooms, based on RFID technology. For the development of the prototype, was used the RFID reader/writer MFRC522 from NXP Semiconductors compatible with RFID cards used for identification of personnel from the university community, together the board Arduino Mega2560 and Arduino Ethernet Shield. Furthermore, was developed a web application in HTML and PHP, for managing of the database of permissions and users in real time.

Keywords: Prototype; RFID; MFRC522; Arduino Mega2560; Arduino Ethernet Shield; Web application; HTML; PHP; Database.

¹ Magister en Ingeniería Electrónica, Docente Universidad Surcolombiana Neiva. Avenida Pastrana Carrera 1a. vmosquera@usco.edu.co

² Ingeniero Electrónico, Universidad Surcolombiana Neiva. Avenida Pastrana Carrera 1a. jsaab05@hotmail.com

³ Ingeniero Electrónico, Universidad Surcolombiana Neiva. Avenida Pastrana Carrera 1a. alejandro5504@hotmail.com

1. Introducción

RFID (Radio Frequency Identification) es una tecnología que permite la identificación automática de objetos sin contacto, mediante la transmisión y recepción remota de datos a través de ondas de radio, utilizando una antena emisora y un transmisor conocido como etiqueta (Pérez, 2009).

Un sistema RFID básico consta de un lector, encargado de enviar la señal de radiofrecuencia para detectar las posibles etiquetas en un rango de acción determinado y recibir datos de estas; etiquetas o tags, compuestas por un microchip y una antena diseñadas para recibir una señal específica de radio y transmitir automáticamente una respuesta; y el middleware, que es el software encargado de realizar la conexión entre el hardware del sistema RFID y el sistema de gestión, además de administrar los lectores y los datos obtenidos de las etiquetas (Bolic, 2010).

El uso de sistemas RFID para el control de acceso, se ha convertido en una elección popular debido a que ofrece una gran gama de soluciones, adaptables a cada organización. Un sistema de control de Acceso RFID permite el monitoreo y almacenamiento en una base de datos de información sobre horas de entrada/salida, asistencia, labores realizadas y autenticación de usuarios; así, como su vinculación con sistemas de cámaras de seguridad que se activan cuando un usuario ingresa a determinada área (Ramírez, 2010).

El Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional en México, desarrollo un sistema de control de acceso basado en tecnología RFID, diseñando un sistema funcional, de bajo costo y adaptable a distintas topologías (Alvarado, 2008).

En 2010 en la Universidad Técnica de Manabí en Ecuador, se desarrolló e implementó un sistema para el registro y control del personal, que adicionalmente permitía el monitoreo de los equipos electrónicos de los laboratorios, a través de dispositivos RFID (Cabezas, 2010).

El objetivo de este proyecto, es aportar una solución potencial al problema de deterioro de las instalaciones y elementos de las aulas de clase de la Universidad Surcolombiana, usando la tecnología RFID, proponiendo un sistema que permita controlar el acceso y suministro eléctrico de las aulas, de manera efectiva.

2. Metodología

2.1 Servidor y base de datos: para llevar el registro de administradores, permisos, usuarios, aulas y eventos dentro del sistema de control de acceso, se dispuso de una base de datos y un servidor que se encargara de alojar esta información. Para lograr este objetivo se utilizó el Wamp Server, que es un software que permite que un equipo haga las veces de servidor web y además cuenta con un gestor grafico de base de datos llamado PHP MyAdmin, el cual es un manejador de MySQL basado en PHP, que permite la creación y modificación de bases de datos (Easterbrooks,2010).

2.2 Aplicación web: para administrar la base de datos del sistema de control de acceso de manera sencilla, se desarrolló una aplicación web en los lenguajes PHP y HTML. Esta herramienta permite la comunicación activa entre los administradores y el servidor que aloja la base de datos del sistema, y da la posibilidad de administrar los registros de usuarios y permisos de acceso a las aulas en tiempo real, a través de cualquier navegador (Lujan, 2002).

2.3 Tarjeta RFID S70: esta tarjeta de la compañía NXP Semiconductors (NXP, 2011), cumple con las tres primeras partes de la ISO 14443 Tipo A de 13.56 MHz, con protocolo de alto nivel. Contiene un número único de identificación o UID, con el cual se puede identificar y diferenciar a cada uno de los usuarios dentro del sistema de control de acceso a las aulas.

2.4 Lector/Escritor MFCR522: este lector de la compañía NXP Semiconductors (NXP, 2010), soporta el estándar ISO 1443 Tipo A de 13.56 MHz e integra una antena y los elementos necesarios para la lectura y escritura de tarjetas RFID. Cuenta con una interfaz de comunicación serial, la cual da la posibilidad de controlarlo a través de un microcontrolador.

2.5 Arduino Mega2560: la Arduino Mega2560 es una placa electrónica basada en el microcontrolador ATmega2560. Cuenta con un oscilador interno de 16 MHz, cuatro puertos para comunicación serial, comunicación SPI, y una gran cantidad de entradas y salidas digitales, que permiten añadir fácilmente funcionalidades al sistema de control de acceso de las aulas (control de iluminación, detector de humo, control de presencia, control de temperatura). La programación de la placa, se realizó en el entorno de desarrollo integrado (IDE) Arduino 1.0.3 basado en lenguaje C.

2.6 Arduino Ethernet Shield: la Arduino Ethernet Shield es una placa basada en el chip W5100. Esta placa permite la comunicación entre el equipo servidor que aloja la base de datos de permisos de acceso, y el sistema de control. Por otra parte, cuenta con un módulo PoE (alimentación a través de Ethernet) para la alimentación eléctrica de la placa Arduino Mega2560, y un socket para memoria SD para almacenar información de respaldo en caso de pérdida de conexión con el equipo servidor.

3. Resultados

La Figura 1 muestra la arquitectura del prototipo para el control de acceso y gestión de recursos de las aulas de la Universidad Surcolombiana, el cual consta de tres etapas: Administración, Captura y Control.

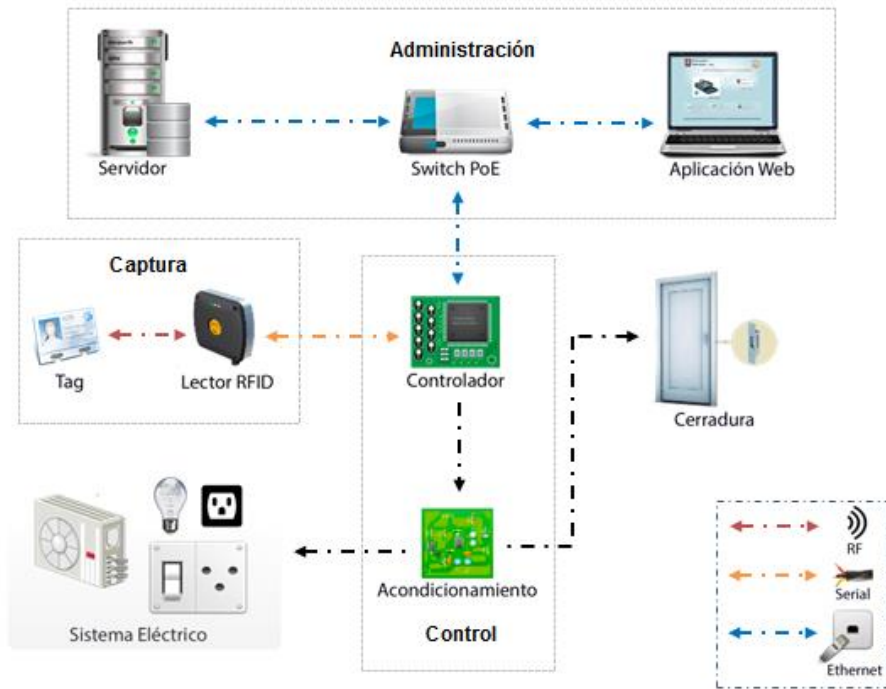


Fig. 1. Arquitectura del Sistema

En la etapa de Administración el sistema cuenta con una aplicación web para la modificación en tiempo real de la base de datos de usuarios y permisos de acceso alojados en el equipo servidor.

En la etapa de Captura el sistema cuenta con un lector RFID que se encarga de detectar y leer el número de identificación único de usuario (UID) de los carnés o tags, para luego transmitir esa información por comunicación serial al Controlador.

Finalmente en la etapa de Control el sistema cuenta con un dispositivo Controlador que se encarga de recibir la información que obtiene el lector RFID a través del puerto serial del cual dispone; una vez el controlador recibe la información del lector RFID este se comunica por el puerto ethernet, enviando el dato de la UID para que sea procesado por el servidor, el cual valida los datos y responde al controlador con un comando para indicar si tiene permiso o no para acceder al aula; si existe el permiso, el controlador activa el sistema de acondicionamiento, que se encarga de adaptar la señal recibida a los niveles necesarios para la activación de la red eléctrica del aula y la apertura de la cerradura. Cabe resaltar, que ante cualquier falla de conexión con el servidor el controlador cuenta con una memoria SD de respaldo con los datos de los permisos, la cual podrá consultar mientras se restablece la comunicación. Por otra parte la alimentación del controlador se hace a través del protocolo PoE (Power over Ethernet), lo cual permite recibir los datos del servidor y suministrar alimentación eléctrica a través del cable de datos, eliminando la necesidad de utilizar tomas de corriente o fuentes de alimentación externas.

3.1 Infraestructura del sistema

Para evaluar de manera eficaz el desempeño y fiabilidad del sistema, se desarrollaron dos prototipos que simularán un ambiente similar al de dos aulas (Figura 2).



Fig. 2. Infraestructura del sistema

Cada prototipo está compuesto de una puerta con cantonera eléctrica y un panel que cuenta con un tablero de control con un *breaker*, que energiza una bombilla y un tomacorriente; un lector RFID, para la detección de los carnés; una placa Arduino Mega2560 con escudo Ethernet, para la comunicación con el equipo servidor y para el control de los componentes del sistema; y un contactor, que se encargara de establecer o interrumpir el paso de corriente al tablero de control.

Por otra parte, la administración de permisos de acceso, usuarios y encargados del sistema, mediante la aplicación web desarrollada, se realiza en tiempo real y cuenta con una organización por días y horarios de clase.

Asimismo, la respuesta del sistema ante la pérdida de conexión con el equipo servidor fue totalmente acertada en el 100% de los casos, ya que una vez interrumpida la comunicación entre el sistema y el equipo servidor, este realizaba las consultas de los permisos a través de la información de respaldo alojada en la memoria SD, y al

restablecerse la comunicación con el equipo servidor el sistema realizaba las consultas de los permisos al servidor de base de datos.

Adicionalmente se determinó la capacidad del sistema, ante la solicitud simultánea de acceso o salida de los dos prototipos. La respuesta del sistema fue siempre favorable, ya que activaba la cantonera y habilitaba la red eléctrica de ambos prototipos al mismo tiempo. Igualmente el sistema presentaba un comportamiento similar al deshabilitar la red eléctrica en proceso de salida.

3.2 Aplicación web

Para la administración de usuarios del sistema y permisos de acceso a las aulas de clase se desarrolló una aplicación web que consta de:

Pantalla de inicio y login. La pantalla de inicio y login (Figura 3), consta de imágenes representativas de la Universidad Surcolombiana y el programa de Ingeniería Electrónica, además de una presentación que muestra los componentes y funcionalidades del sistema.

Adicionalmente, cuenta con el panel de *login*, que requiere de un nombre de usuario y contraseña para poder acceder a todas las funcionalidades de la aplicación.



Fig. 3. Inicio y login

Panel de control. El panel de control (Figura 4), está compuesto de varias imágenes y *links* que permiten acceder a cada una de las funcionalidades de la aplicación web (nuevo administrador, editar administrador, nuevo usuario, eliminar usuario, agregar aula/oficina, agregar permisos de acceso, editar permisos de acceso, registro de eventos, cerrar sesión).

Cabe resaltar que la aplicación web cuenta con dos tipos de usuario (administradores y gestores de permiso) y dependiendo del tipo de usuario se presentan ciertas modificaciones en el panel de control.

En la pantalla del panel de control de un gestor de permisos, no se presenta un *link* para acceder a la función agregar administrador y el *link* de editar administrador solo le da la opción de cambiar su contraseña.



Fig. 4. Panel de control

Nuevo administrador. La opción de nuevo administrador (Figura 5), permite que el administrador del sitio pueda agregar nuevos administradores y gestores de permiso. La pantalla consta de un formulario que debe ser totalmente diligenciado, en donde se solicita el nombre, usuario, contraseña y categoría (administrador o gestor de permisos) del nuevo registro. Adicionalmente cuenta con un panel lateral que realiza las mismas funciones que el panel de control.



Fig. 5. Nuevo administrador

Editar administrador. Como se había mencionado anteriormente, el sistema cuenta con dos tipos de usuario: administrador y gestor de permisos. En el caso concreto del administrador, esta opción muestra en pantalla la lista de administradores y gestores de permisos, junto con la opción de eliminarlos y modificar su propia contraseña (Figura 6).

Para el caso específico de un gestor de permisos, la opción editar administrador lo lleva a un formulario que le permite modificar su contraseña (Figura 7). Es importante destacar que ambos casos, la opción editar administrador cuenta con un panel lateral que realiza las mismas funciones que el panel de control.



Fig. 6. Editar administrador



Fig. 7. Modificar contraseña

Nuevo usuario. La opción nuevo usuario (Figura 8), cuenta con un formulario que permite el registro de nuevos usuarios a los que registrará el sistema. Para el registro del nuevo usuario se debe ingresar su nombre completo, la UID de su carné y el cargo que desempeña en la comunidad universitaria (profesor, administrativo, personal de limpieza). Adicionalmente cuenta con un panel lateral, que cumple con la misma función del panel de control.



Fig. 8. Nuevo usuario

Eliminar usuario. La opción eliminar usuario (Figura 9), imprime en pantalla todos los datos relacionados de los usuarios registrados al sistema, junto con la opción de eliminarlos. Adicionalmente cuenta con una opción de búsqueda, que permite ubicar usuarios por su nombre, UID o cargo. También cuenta con un panel lateral, que cumple con la misma función del panel de control.



Fig. 9. Eliminar usuario

Nueva aula/oficina. La opción nueva aula/oficina (Figura 10), consta de un formulario que permite el registro de una nueva/aula oficina, a la que se haya implementado el sistema de control de acceso. Se debe ingresar el tipo de recinto (aula/oficina/laboratorio), la facultad a la cual pertenece y el número que lo identifica. Adicionalmente cuenta con un panel lateral, que cumple con la misma función del panel de control.



Fig. 10. Nueva aula/oficina

Agregar permisos de acceso. La opción agregar permisos de acceso (Figura 11), cuenta con un formulario compuesto solamente por campos del tipo selección, que se cargan con los registros de la base de datos del sistema. A través de esta pantalla se selecciona el usuario que requiere un permiso de acceso, la facultad, el salón, el día, la

hora de ingreso y la hora de salida. La realización del formulario solo con campos del tipo selección, se hizo para facilitar la labor de los administradores y gestores de permiso a la hora de realizar esta tarea. Adicionalmente cuenta con un panel lateral, que cumple con la misma función del panel de control.



Fig. 11. Agregar permisos de acceso

Editar permisos de acceso. La opción editar permisos de acceso (Figura 12), imprime en pantalla todos los datos relacionados con los permisos por día, registrados al sistema, junto con la opción de eliminarlos. Adicionalmente cuenta con una opción de búsqueda, que permite ubicar registros por nombre, UID, salón, hora de ingreso u hora de salida. También cuenta con un panel lateral, que cumple con la misma función del panel de control.



Fig. 12. Editar permisos de acceso

Registro de eventos. La opción registro de eventos (Figura 13), imprime en pantalla todos los datos relacionados con los eventos registrados al sistema. Adicionalmente cuenta con una opción de búsqueda, que

permite ubicar registros por salón, UID, evento y fecha. También cuenta con un panel lateral, que cumple con la misma función del panel de control.

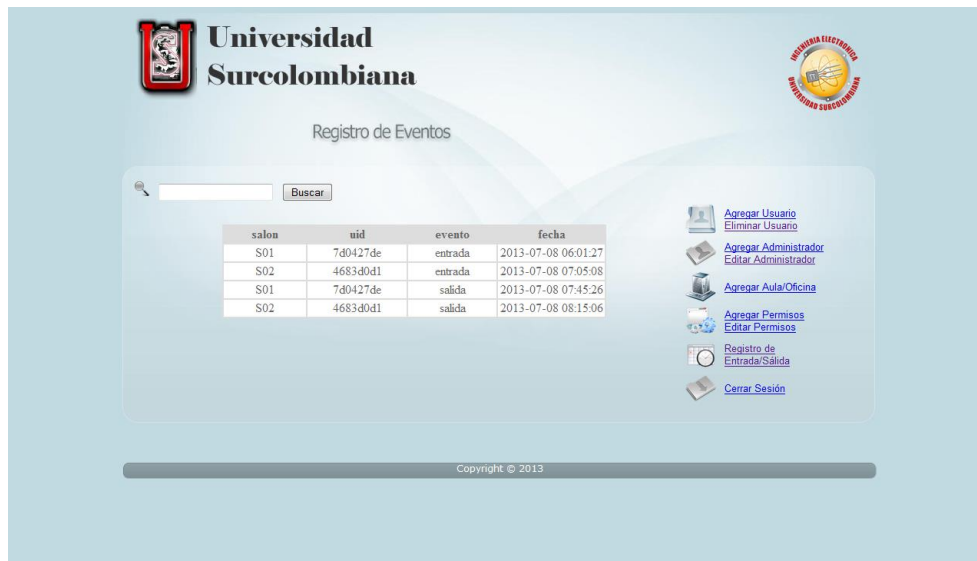


Fig. 13. Registro de eventos

4. Conclusiones

La implementación de un sistema de control de acceso basado en el sistema desarrollado, es una solución concreta y eficiente a la problemática actual de deterioro de la infraestructura de las aulas de la Universidad Surcolombiana, ya que garantiza la seguridad de elementos e instalaciones de cada aula, ejerciendo un control en tiempo real de quien puede ingresar y determinando que usuarios dejan abiertas las aulas.

Por otra parte, en el proceso de desarrollo se planteó que el sistema también pudiera ser implementado en laboratorios y oficinas, razón por la cual cada uno de los componentes, se escogieron considerando la posible expansión de las funciones del sistema, dependiendo de las necesidades y procesos que se realizan en cada uno de estos ambientes.

Para el control del suministro eléctrico de las aulas, se debe tener en cuenta la utilización de una etapa de acondicionamiento. La selección de los componentes de esta etapa, debe realizarse teniendo en cuenta la potencia y tensiones de los elementos que deben ser energizados.

El desarrollo de una aplicación web para la administración de los permisos, aulas, usuarios y encargados del sistema, ofrece ventajas sobre el desarrollo de una aplicación de escritorio, ya que permite la disponibilidad de la aplicación desde cualquier dispositivo que cuente un navegador web, además que los usuarios siempre usaran la última versión de la aplicación sin necesidad de realizar actualizaciones.

Cabe destacar, que el desarrollo del sistema a nivel de prototipo, permite la realización de todo tipo de pruebas, para poder evidenciar comportamientos no deseados en el sistema. Asimismo, permite presentar a los usuarios una idea clara del sistema final, su funcionalidad y manejo.

De igual manera, la implementación efectiva de este sistema, permitirá mejorar las condiciones para la recepción de clases en las aulas. Paralelamente generará beneficios del tipo económico a mediano y largo plazo,

derivados del ahorro en gastos por mantenimiento en la infraestructura de las aulas, y de la reducción del consumo energético.

5. Referencias Bibliográficas

Alvarado, J., 2008. Sistema de Control de Acceso con RFID. Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional. México D.F. 105 pp.

Bolic, M., Simplot-Ryl, D., Stojmenovic, I., 2010. RFID SYSTEMS: Research trends and Challenges. Wiley. 576 pp.

Cabezas, A., Fortyy, A., Tejena, M., Zambrano, K., 2010. Desarrollo e implementación de un sistema de Registro y Control de Personal, Monitoreo de Hardware con Dispositivos RFID y Adecuación del Laboratorio Informático en la Unidad Educativa y Artesanal “DR. Gabriel Manzo Quiñonez”. Universidad Técnica de Manabí. Ecuador. 157 pp.

Easterbrooks, R., Gosellin, D., Kokoska, D., 2010. PHP. Programming with MySQL. Cengage Learning. 712 pp.

Lujan, S., 2002. Programación de Aplicaciones web: Historia, principios básicos y clientes web. ECU. 349 pp.

NXP Semiconductors, 2011. MF1S70 MIFARE Classic 4K – Mainstream Contactless Smart Card IC for fast and easy solution development. Consultado el 03 de marzo de 2013. www.nxp.com

NXP Semiconductors, 2010. MFRC522 Contactless Reader IC. Consultado el 03 de marzo de 2013. www.nxp.com

Pérez, B., 2009. Metodología para el Desarrollo de Aplicaciones RFID: Un ejemplo Práctico. Instituto Politécnico Nacional. México D.F.

Ramírez, M., 2010. Sistema de Acceso Distribuido Remoto con Entidades Informáticas. Universidad Autónoma Metropolitana. México D.F. 44 pp.



MFRC522

Contactless reader IC

Rev. 3.5 — 21 June 2010
112135

Product data sheet
PUBLIC

1. Introduction

This document describes the functionality and electrical specifications of the contactless reader/writer MFRC522.

Remark: The MFRC522 supports all variants of the MIFARE Mini, MIFARE 1K, MIFARE 4K, MIFARE Ultralight, MIFARE DESFire EV1 and MIFARE Plus RF identification protocols. To aid readability throughout this data sheet, the MIFARE Mini, MIFARE 1K, MIFARE 4K, MIFARE Ultralight, MIFARE DESFire EV1 and MIFARE Plus products and protocols have the generic name MIFARE.

2. General description

The MFRC522 is a highly integrated reader/writer IC for contactless communication at 13.56 MHz. The MFRC522 reader supports ISO/IEC 14443 A/MIFARE mode.

The MFRC522's internal transmitter is able to drive a reader/writer antenna designed to communicate with ISO/IEC 14443 A/MIFARE cards and transponders without additional active circuitry. The receiver module provides a robust and efficient implementation for demodulating and decoding signals from ISO/IEC 14443 A/MIFARE compatible cards and transponders. The digital module manages the complete ISO/IEC 14443 A framing and error detection (parity and CRC) functionality.

The MFRC522 supports MF1xxS20, MF1xxS70 and MF1xxS50 products. The MFRC522 supports contactless communication and uses MIFARE higher transfer speeds up to 848 kBd in both directions.

The following host interfaces are provided:

- Serial Peripheral Interface (SPI)
- Serial UART (similar to RS232 with voltage levels dependant on pin voltage supply)
- I²C-bus interface

3. Features and benefits

- Highly integrated analog circuitry to demodulate and decode responses
- Buffered output drivers for connecting an antenna with the minimum number of external components
- Supports ISO/IEC 14443 A/MIFARE
- Typical operating distance in Read/Write mode up to 50 mm depending on the antenna size and tuning



- Supports MF1xxS20, MF1xxS70 and MF1xxS50 encryption in Read/Write mode
- Supports ISO/IEC 14443 A higher transfer speed communication up to 848 kBd
- Supports MFIN/MFOUT
- Additional internal power supply to the smart card IC connected via MFIN/MFOUT
- Supported host interfaces
 - ◆ SPI up to 10 Mbit/s
 - ◆ I²C-bus interface up to 400 kBd in Fast mode, up to 3400 kBd in High-speed mode
 - ◆ RS232 Serial UART up to 1228.8 kBd, with voltage levels dependant on pin voltage supply
- FIFO buffer handles 64 byte send and receive
- Flexible interrupt modes
- Hard reset with low power function
- Power-down by software mode
- Programmable timer
- Internal oscillator for connection to 27.12 MHz quartz crystal
- 2.5 V to 3.3 V power supply
- CRC coprocessor
- Programmable I/O pins
- Internal self-test

4. Quick reference data

Table 1. Quick reference data

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{DDA}	analog supply voltage	V _{DD(PVDD)} ≤ V _{DDA} = V _{DDD} = V _{DD(TVDD)} ; V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V	[1][2] 2.5	3.3	3.6	V
V _{DDD}	digital supply voltage		2.5	3.3	3.6	V
V _{DD(TVDD)}	TVDD supply voltage		2.5	3.3	3.6	V
V _{DD(PVDD)}	PVDD supply voltage		[3] 1.6	1.8	3.6	V
V _{DD(SVDD)}	SVDD supply voltage	V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V	1.6	-	3.6	V
I _{pd}	power-down current	V _{DDA} = V _{DDD} = V _{DD(TVDD)} = V _{DD(PVDD)} = 3 V hard power-down; pin NRSTPD set LOW	[4] -	-	5	μA
		soft power-down; RF level detector on	[4] -	-	10	μA
I _{DDD}	digital supply current	pin DVDD; V _{DDD} = 3 V	-	6.5	9	mA
I _{DDA}	analog supply current	pin AVDD; V _{DDA} = 3 V, CommandReg register's RcvOff bit = 0	-	7	10	mA
		pin AVDD; receiver switched off; V _{DDA} = 3 V, CommandReg register's RcvOff bit = 1	-	3	5	mA
I _{DD(PVDD)}	PVDD supply current	pin PVDD	[5] -	-	40	mA
I _{DD(TVDD)}	TVDD supply current	pin TVDD; continuous wave	[6][7][8] -	60	100	mA
T _{amb}	ambient temperature	HVQFN32	-25	-	+85	°C

[1] Supply voltages below 3 V reduce the performance in, for example, the achievable operating distance.

[2] V_{DDA}, V_{DDD} and V_{DD(TVDD)} must always be the same voltage.

[3] V_{DD(PVDD)} must always be the same or lower voltage than V_{DDD}.

[4] I_{pd} is the total current for all supplies.

- [5] $I_{DD(PVDD)}$ depends on the overall load at the digital pins.
- [6] $I_{DD(TVDD)}$ depends on $V_{DD(TVDD)}$ and the external circuit connected to pins TX1 and TX2.
- [7] During typical circuit operation, the overall current is below 100 mA.
- [8] Typical value using a complementary driver configuration and an antenna matched to 40Ω between pins TX1 and TX2 at 13.56 MHz.

5. Ordering information

Table 2. Ordering information

Type number	Package		Version
	Name	Description	
MFRC52201HN1/TRAYB ^[1]	HVQFN32	plastic thermal enhanced very thin quad flat package; no leads; 32 terminal; body $5 \times 5 \times 0.85$ mm	SOT617-1
MFRC52201HN1/TRAYBM ^[2]	HVQFN32	plastic thermal enhanced very thin quad flat package; no leads; 32 terminal; body $5 \times 5 \times 0.85$ mm	SOT617-1

- [1] Delivered in one tray.
- [2] Delivered in five trays.

6. Block diagram

The analog interface handles the modulation and demodulation of the analog signals.

The contactless UART manages the protocol requirements for the communication protocols in cooperation with the host. The FIFO buffer ensures fast and convenient data transfer to and from the host and the contactless UART and vice versa.

Various host interfaces are implemented to meet different customer requirements.

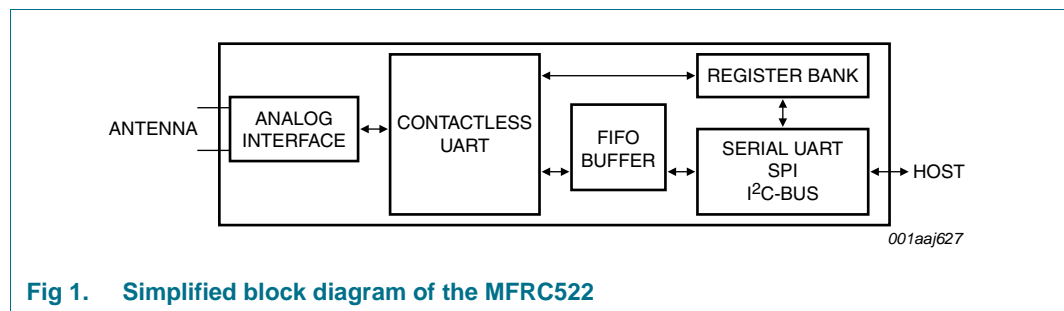


Fig 1. Simplified block diagram of the MFRC522

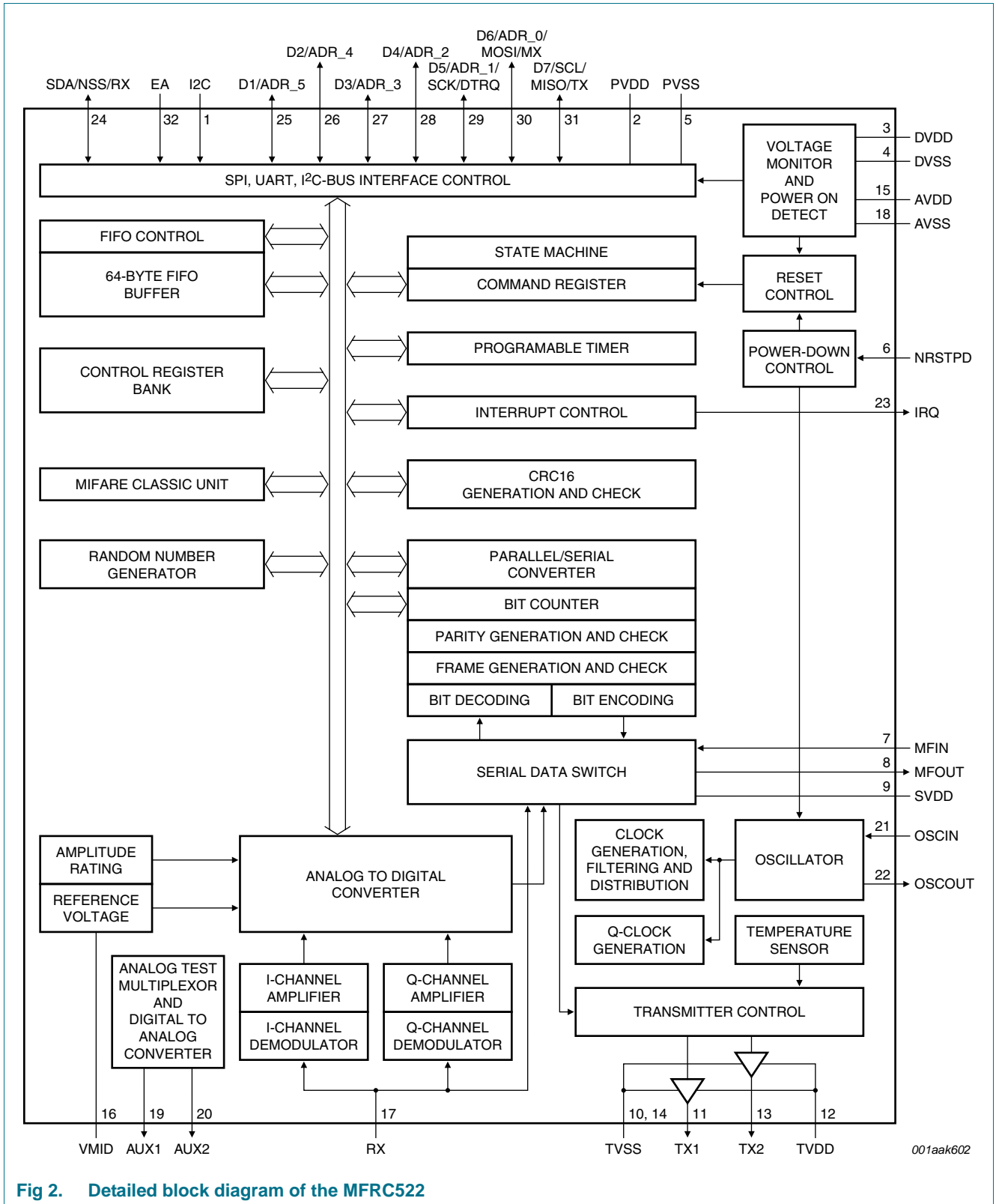


Fig 2. Detailed block diagram of the MFRC522

7. Pinning information

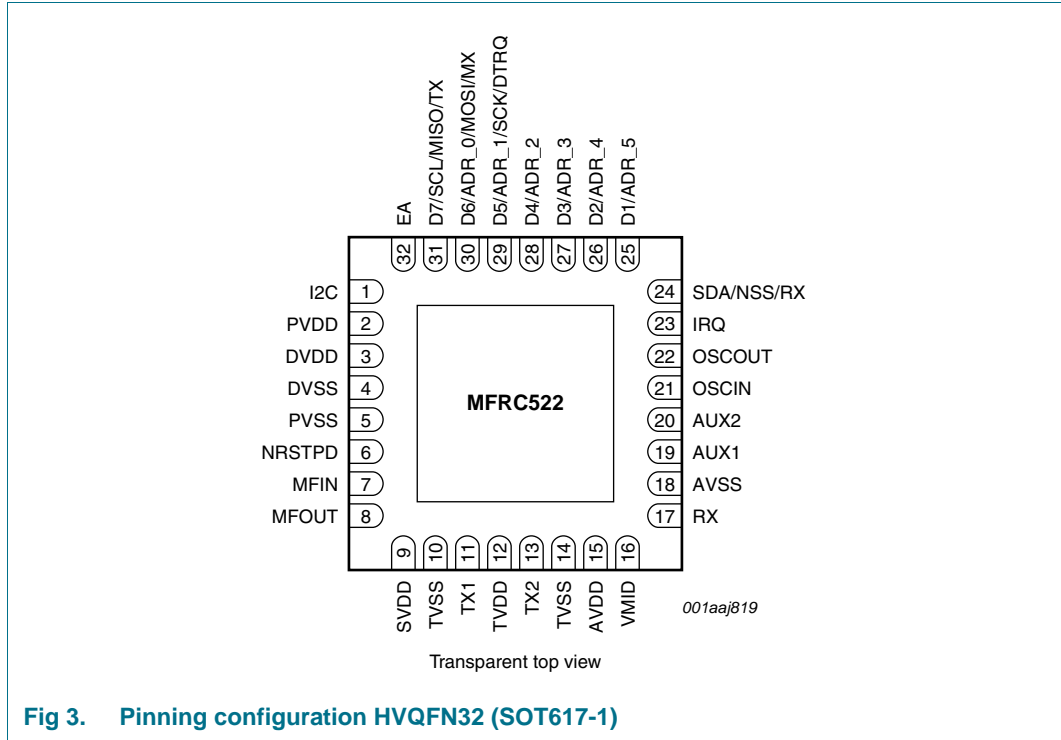


Fig 3. Pinning configuration HVQFN32 (SOT617-1)

7.1 Pin description

Table 3. Pin description

Pin	Symbol	Type ^[1]	Description
1	I2C	I	I ² C-bus enable input ^[2]
2	PVDD	P	pin power supply
3	DVDD	P	digital power supply
4	DVSS	G	digital ground ^[3]
5	PVSS	G	pin power supply ground
6	NRSTPD	I	reset and power-down input: power-down: enabled when LOW; internal current sinks are switched off, the oscillator is inhibited and the input pins are disconnected from the outside world reset: enabled by a positive edge
7	MFIN	I	MIFARE signal input
8	MFOUT	O	MIFARE signal output
9	SVDD	P	MFIN and MFOUT pin power supply
10	TVSS	G	transmitter output stage 1 ground
11	TX1	O	transmitter 1 modulated 13.56 MHz energy carrier output
12	TVDD	P	transmitter power supply: supplies the output stage of transmitters 1 and 2
13	TX2	O	transmitter 2 modulated 13.56 MHz energy carrier output
14	TVSS	G	transmitter output stage 2 ground
15	AVDD	P	analog power supply

Table 3. Pin description ...continued

Pin	Symbol	Type ^[1]	Description
16	VMID	P	internal reference voltage
17	RX	I	RF signal input
18	AVSS	G	analog ground
19	AUX1	O	auxiliary outputs for test purposes
20	AUX2	O	auxiliary outputs for test purposes
21	OSCIN	I	crystal oscillator inverting amplifier input; also the input for an externally generated clock ($f_{clk} = 27.12$ MHz)
22	OSCOUT	O	crystal oscillator inverting amplifier output
23	IRQ	O	interrupt request output: indicates an interrupt event
24	SDA	I/O	I ² C-bus serial data line input/output ^[2]
	NSS	I	SPI signal input ^[2]
	RX	I	UART address input ^[2]
25	D1	I/O	test port ^[2]
	ADR_5	I/O	I ² C-bus address 5 input ^[2]
26	D2	I/O	test port
	ADR_4	I	I ² C-bus address 4 input ^[2]
27	D3	I/O	test port
	ADR_3	I	I ² C-bus address 3 input ^[2]
28	D4	I/O	test port
	ADR_2	I	I ² C-bus address 2 input ^[2]
29	D5	I/O	test port
	ADR_1	I	I ² C-bus address 1 input ^[2]
	SCK	I	SPI serial clock input ^[2]
	DTRQ	O	UART request to send output to microcontroller ^[2]
30	D6	I/O	test port
	ADR_0	I	I ² C-bus address 0 input ^[2]
	MOSI	I/O	SPI master out, slave in ^[2]
	MX	O	UART output to microcontroller ^[2]
31	D7	I/O	test port
	SCL	I/O	I ² C-bus clock input/output ^[2]
	MISO	I/O	SPI master in, slave out ^[2]
	TX	O	UART data output to microcontroller ^[2]
32	EA	I	external address input for coding I ² C-bus address ^[2]

[1] Pin types: I = Input, O = Output, I/O = Input/Output, P = Power and G = Ground.

[2] The pin functionality of these pins is explained in [Section 8.1 "Digital interfaces"](#).

[3] Connection of heatsink pad on package bottom side is not necessary. Optional connection to pin DVSS is possible.

8. Functional description

The MFRC522 transmission module supports the Read/Write mode for ISO/IEC 14443 A/MIFARE using various transfer speeds and modulation protocols.

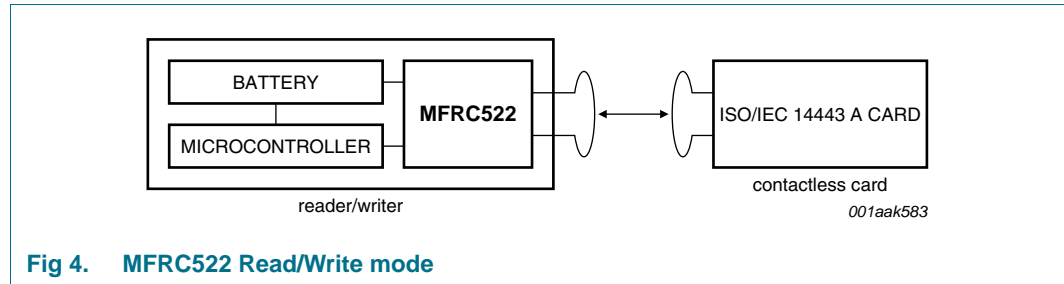


Fig 4. MFRC522 Read/Write mode

The physical level communication is shown in [Figure 5](#).

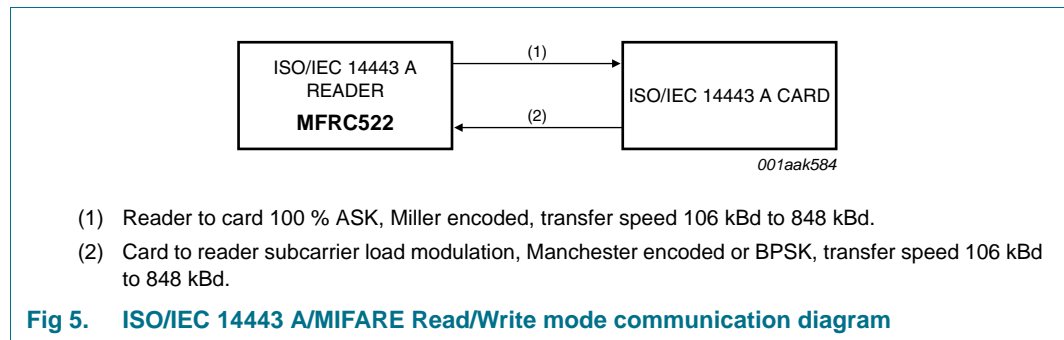


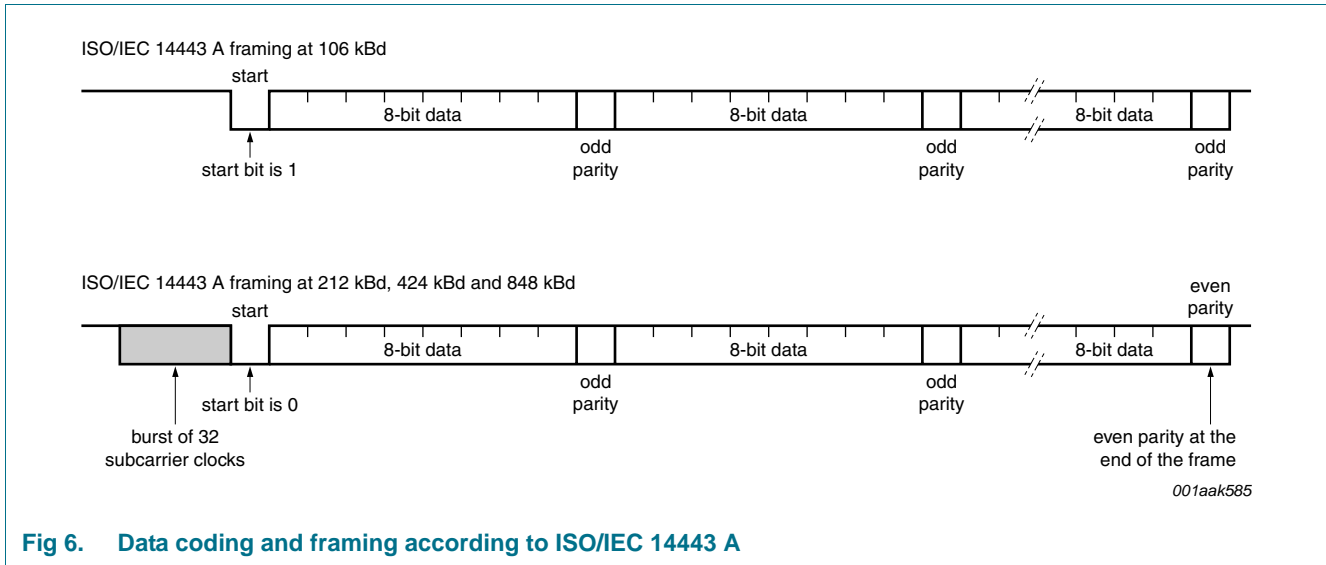
Fig 5. ISO/IEC 14443 A/MIFARE Read/Write mode communication diagram

The physical parameters are described in [Table 4](#).

Table 4. Communication overview for ISO/IEC 14443 A/MIFARE reader/writer

Communication direction	Signal type	Transfer speed			
		106 kBd	212 kBd	424 kBd	848 kBd
Reader to card (send data from the MFRC522 to a card)	reader side modulation	100 % ASK	100 % ASK	100 % ASK	100 % ASK
	bit encoding	modified Miller encoding	modified Miller encoding	modified Miller encoding	modified Miller encoding
	bit length	128 (13.56 μs)	64 (13.56 μs)	32 (13.56 μs)	16 (13.56 μs)
Card to reader (MFRC522 receives data from a card)	card side modulation	subcarrier load modulation	subcarrier load modulation	subcarrier load modulation	subcarrier load modulation
	subcarrier frequency	13.56 MHz / 16	13.56 MHz / 16	13.56 MHz / 16	13.56 MHz / 16
	bit encoding	Manchester encoding	BPSK	BPSK	BPSK

The MFRC522’s contactless UART and dedicated external host must manage the complete ISO/IEC 14443 A/MIFARE protocol. [Figure 6](#) shows the data coding and framing according to ISO/IEC 14443 A/MIFARE.



The internal CRC coprocessor calculates the CRC value based on ISO/IEC 14443 A part 3 and handles parity generation internally according to the transfer speed. Automatic parity generation can be switched off using the MfRxReg register's ParityDisable bit.

8.1 Digital interfaces

8.1.1 Automatic microcontroller interface detection

The MFRC522 supports direct interfacing of hosts using SPI, I²C-bus or serial UART interfaces. The MFRC522 resets its interface and checks the current host interface type automatically after performing a power-on or hard reset. The MFRC522 identifies the host interface by sensing the logic levels on the control pins after the reset phase. This is done using a combination of fixed pin connections. [Table 5](#) shows the different connection configurations.

Table 5. Connection protocol for detecting different interface types

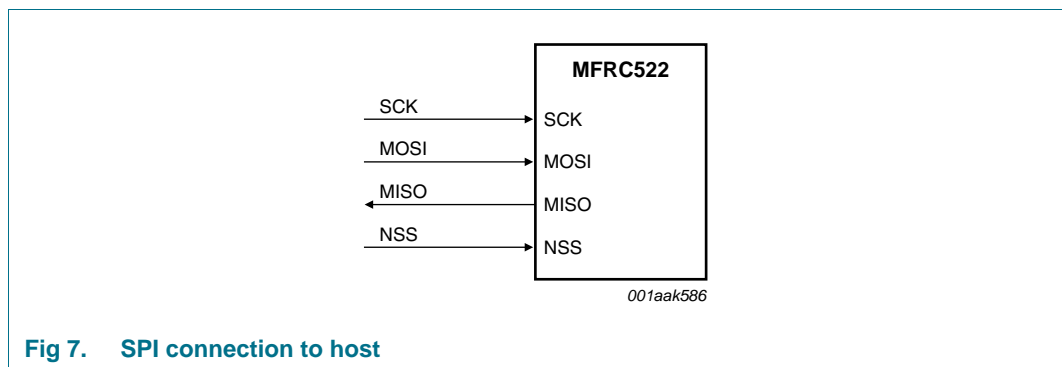
Pin	Interface type		
	UART (input)	SPI (output)	I ² C-bus (I/O)
SDA	RX	NSS	SDA
I2C	0	0	1
EA	0	1	EA
D7	TX	MISO	SCL
D6	MX	MOSI	ADR_0
D5	DTRQ	SCK	ADR_1
D4	-	-	ADR_2
D3	-	-	ADR_3
D2	-	-	ADR_4
D1	-	-	ADR_5

8.1.2 Serial Peripheral Interface

A serial peripheral interface (SPI compatible) is supported to enable high-speed communication to the host. The interface can handle data speeds up to 10 Mbit/s. When communicating with a host, the MFRC522 acts as a slave, receiving data from the external host for register settings, sending and receiving data relevant for RF interface communication.

An interface compatible with SPI enables high-speed serial communication between the MFRC522 and a microcontroller. The implemented interface is in accordance with the SPI standard.

The timing specification is given in [Section 14.1 on page 75](#).



The MFRC522 acts as a slave during SPI communication. The SPI clock signal SCK must be generated by the master. Data communication from the master to the slave uses the MOSI line. The MISO line is used to send data from the MFRC522 to the master.

Data bytes on both MOSI and MISO lines are sent with the MSB first. Data on both MOSI and MISO lines must be stable on the rising edge of the clock and can be changed on the falling edge. Data is provided by the MFRC522 on the falling clock edge and is stable during the rising clock edge.

8.1.2.1 SPI read data

Reading data using SPI requires the byte order shown in [Table 6](#) to be used. It is possible to read out up to n-data bytes.

The first byte sent defines both the mode and the address.

Table 6. MOSI and MISO byte order

Line	Byte 0	Byte 1	Byte 2	To	Byte n	Byte n + 1
MOSI	address 0	address 1	address 2	...	address n	00
MISO	X ^[1]	data 0	data 1	...	data n – 1	data n

[1] X = Do not care.

Remark: The MSB must be sent first.

8.1.2.2 SPI write data

To write data to the MFRC522 using SPI requires the byte order shown in [Table 7](#). It is possible to write up to n data bytes by only sending one address byte.

The first send byte defines both the mode and the address byte.

Table 7. MOSI and MISO byte order

Line	Byte 0	Byte 1	Byte 2	To	Byte n	Byte n + 1
MOSI	address 0	data 0	data 1	...	data n – 1	data n
MISO	X ^[1]	X ^[1]	X ^[1]	...	X ^[1]	X ^[1]

[1] X = Do not care.

Remark: The MSB must be sent first.

8.1.2.3 SPI address byte

The address byte must meet the following format.

The MSB of the first byte defines the mode used. To read data from the MFRC522 the MSB is set to logic 1. To write data to the MFRC522 the MSB must be set to logic 0. Bits 6 to 1 define the address and the LSB is set to logic 0.

Table 8. Address byte 0 register; address MOSI

7 (MSB)	6	5	4	3	2	1	0 (LSB)
1 = read 0 = write	address						0

8.1.3 UART interface

8.1.3.1 Connection to a host

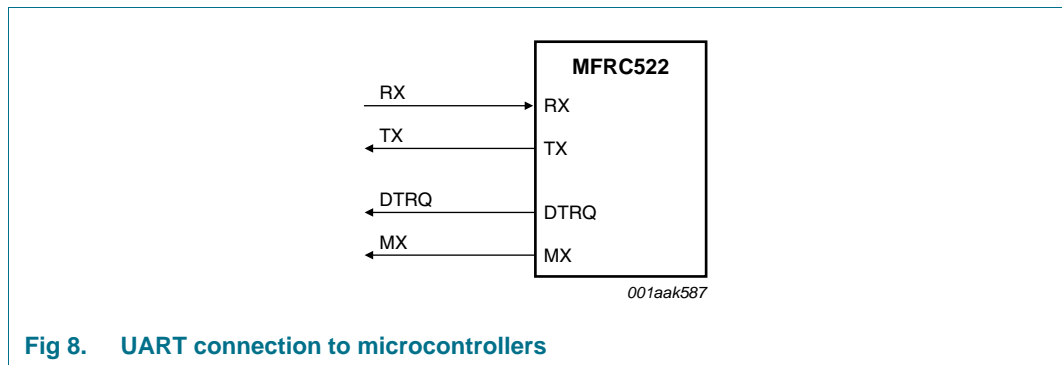


Fig 8. UART connection to microcontrollers

Remark: Signals DTRQ and MX can be disabled by clearing TestPinEnReg register's RS232LineEn bit.

8.1.3.2 Selectable UART transfer speeds

The internal UART interface is compatible with an RS232 serial interface.

The default transfer speed is 9.6 kBd. To change the transfer speed, the host controller must write a value for the new transfer speed to the SerialSpeedReg register. Bits BR_T0[2:0] and BR_T1[4:0] define the factors for setting the transfer speed in the SerialSpeedReg register.

The BR_T0[2:0] and BR_T1[4:0] settings are described in [Table 9](#). Examples of different transfer speeds and the relevant register settings are given in [Table 10](#).

Table 9. BR_T0 and BR_T1 settings

BR_Tn	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
BR_T0 factor	1	1	2	4	8	16	32	64
BR_T1 range	1 to 32	33 to 64	33 to 64	33 to 64	33 to 64	33 to 64	33 to 64	33 to 64

Table 10. Selectable UART transfer speeds

Transfer speed (kBd)	SerialSpeedReg value		Transfer speed accuracy (%) ^[1]
	Decimal	Hexadecimal	
7.2	250	FAh	-0.25
9.6	235	EBh	0.32
14.4	218	DAh	-0.25
19.2	203	CBh	0.32
38.4	171	ABh	0.32
57.6	154	9Ah	-0.25
115.2	122	7Ah	-0.25
128	116	74h	-0.06
230.4	90	5Ah	-0.25
460.8	58	3Ah	-0.25
921.6	28	1Ch	1.45
1228.8	21	15h	0.32

[1] The resulting transfer speed error is less than 1.5 % for all described transfer speeds.

The selectable transfer speeds shown in [Table 10](#) are calculated according to the following equations:

If BR_T0[2:0] = 0:

$$transfer\ speed = \frac{27.12 \times 10^6}{(BR_T0 + 1)} \tag{1}$$

If BR_T0[2:0] > 0:

$$transfer\ speed = \left(\frac{27.12 \times 10^6}{(BR_T1 + 33)} \right)_{2^{(BR_T0 - 1)}} \tag{2}$$

Remark: Transfer speeds above 1228.8 kBd are not supported.

8.1.3.3 UART framing

Table 11. UART framing

Bit	Length	Value
Start	1-bit	0
Data	8 bits	data
Stop	1-bit	1

Remark: The LSB for data and address bytes must be sent first. No parity bit is used during transmission.

Read data: To read data using the UART interface, the flow shown in Table 12 must be used. The first byte sent defines both the mode and the address.

Table 12. Read data byte order

Pin	Byte 0	Byte 1
RX (pin 24)	address	-
TX (pin 31)	-	data 0

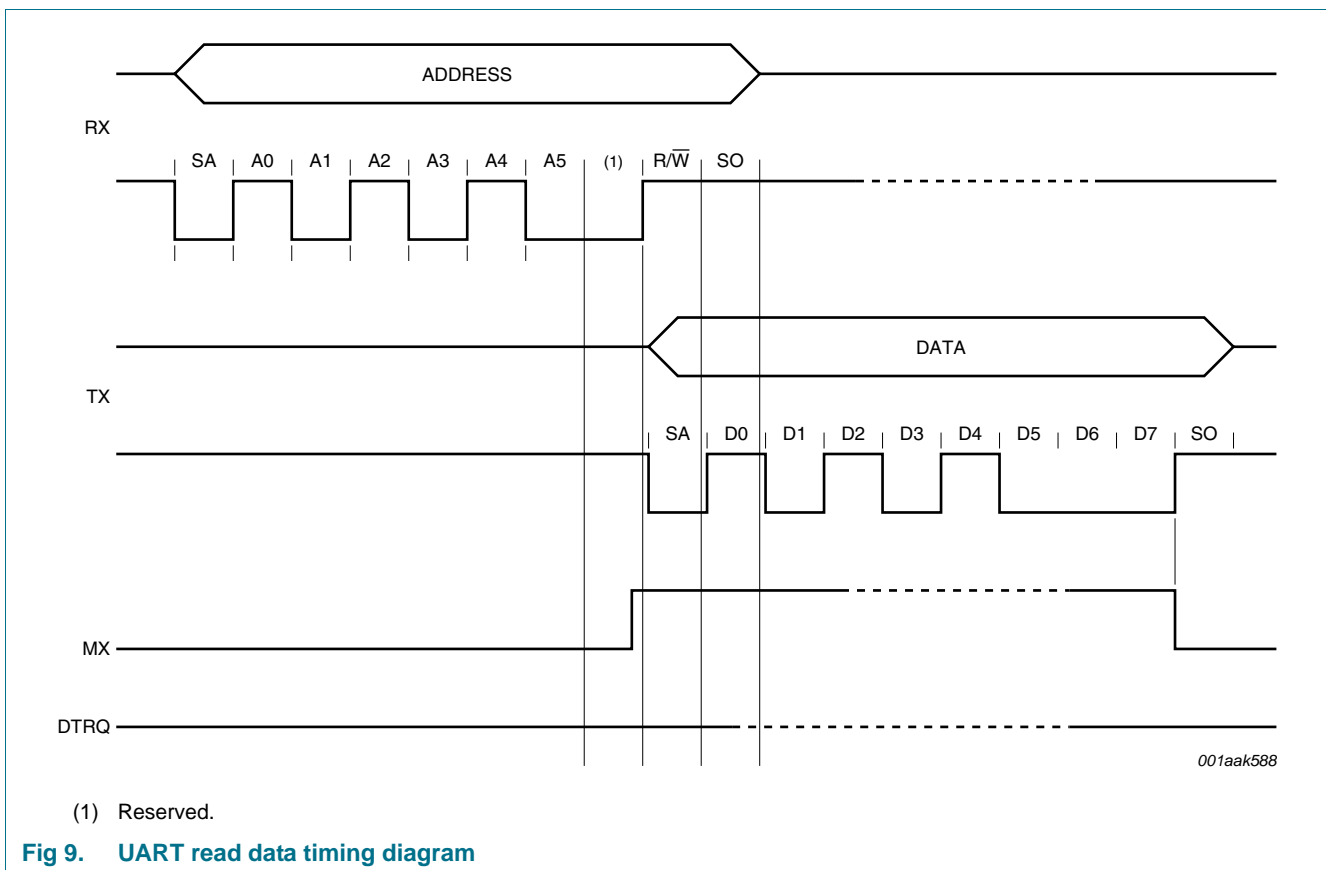


Fig 9. UART read data timing diagram

Write data: To write data to the MFRC522 using the UART interface, the structure shown in Table 13 must be used.

The first byte sent defines both the mode and the address.

Table 13. Write data byte order

Pin	Byte 0	Byte 1
RX (pin 24)	address 0	data 0
TX (pin 31)	-	address 0

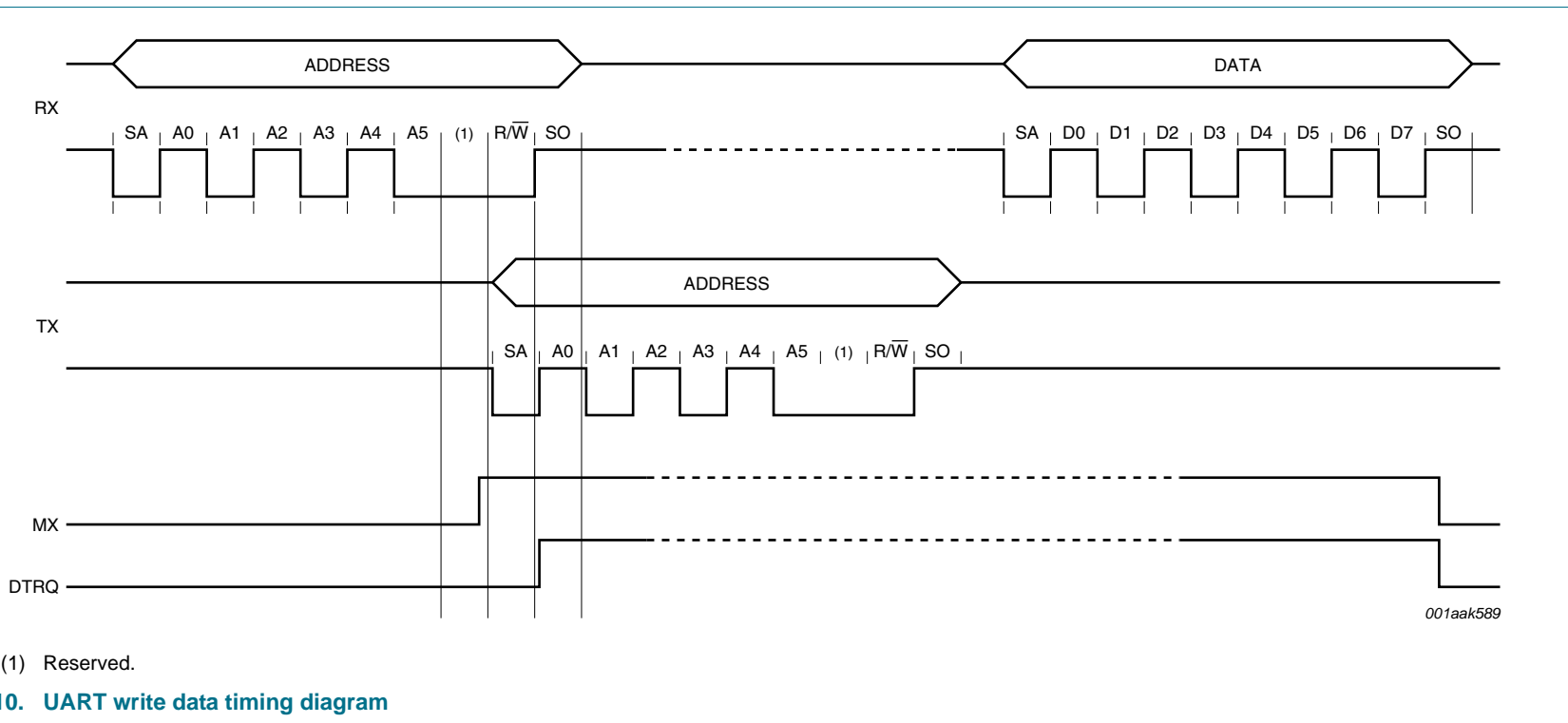


Fig 10. UART write data timing diagram

Remark: The data byte can be sent directly after the address byte on pin RX.

Address byte: The address byte has to meet the following format:

The MSB of the first byte sets the mode used. To read data from the MFRC522, the MSB is set to logic 1. To write data to the MFRC522 the MSB is set to logic 0. Bit 6 is reserved for future use, and bits 5 to 0 define the address; see [Table 14](#).

Table 14. Address byte 0 register; address MOSI

7 (MSB)	6	5	4	3	2	1	0 (LSB)	
1 = read 0 = write	reserved	address						

8.1.4 I²C-bus interface

An I²C-bus (Inter-IC) interface is supported to enable a low-cost, low pin count serial bus interface to the host. The I²C-bus interface is implemented according to NXP Semiconductors' *I²C-bus interface specification, rev. 2.1, January 2000*. The interface can only act in Slave mode. Therefore the MFRC522 does not implement clock generation or access arbitration.

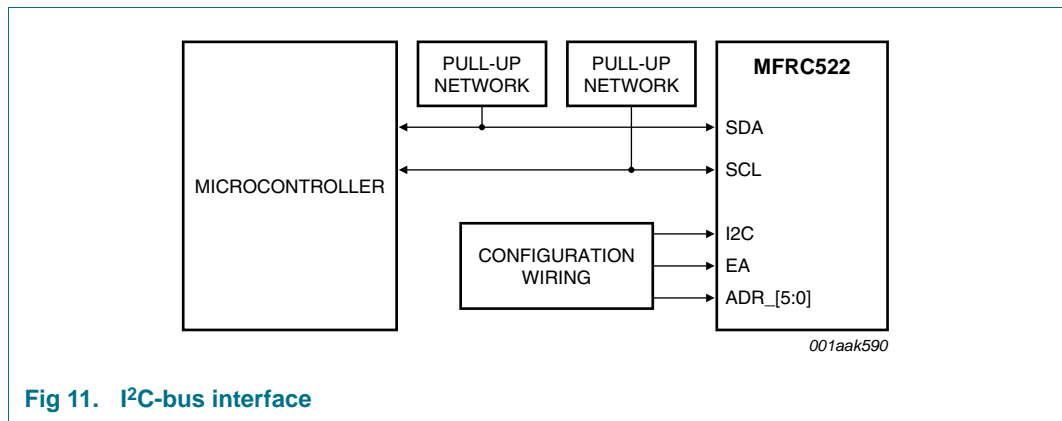


Fig 11. I²C-bus interface

The MFRC522 can act either as a slave receiver or slave transmitter in Standard mode, Fast mode and High-speed mode.

SDA is a bidirectional line connected to a positive supply voltage using a current source or a pull-up resistor. Both SDA and SCL lines are set HIGH when data is not transmitted. The MFRC522 has a 3-state output stage to perform the wired-AND function. Data on the I²C-bus can be transferred at data rates of up to 100 kBd in Standard mode, up to 400 kBd in Fast mode or up to 3.4 Mbit/s in High-speed mode.

If the I²C-bus interface is selected, spike suppression is activated on lines SCL and SDA as defined in the I²C-bus interface specification.

See [Table 155 on page 76](#) for timing requirements.

8.1.4.1 Data validity

Data on the SDA line must be stable during the HIGH clock period. The HIGH or LOW state of the data line must only change when the clock signal on SCL is LOW.

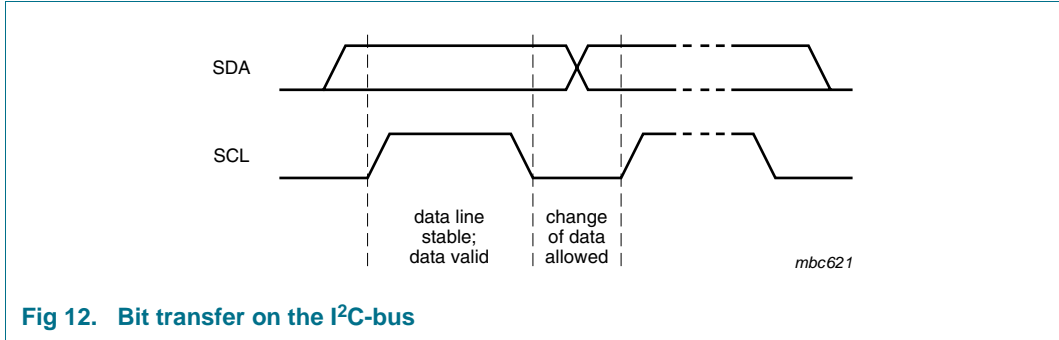


Fig 12. Bit transfer on the I²C-bus

8.1.4.2 START and STOP conditions

To manage the data transfer on the I²C-bus, unique START (S) and STOP (P) conditions are defined.

- A START condition is defined with a HIGH-to-LOW transition on the SDA line while SCL is HIGH.
- A STOP condition is defined with a LOW-to-HIGH transition on the SDA line while SCL is HIGH.

The I²C-bus master always generates the START and STOP conditions. The bus is busy after the START condition. The bus is free again a certain time after the STOP condition.

The bus stays busy if a repeated START (Sr) is generated instead of a STOP condition. The START (S) and repeated START (Sr) conditions are functionally identical. Therefore, S is used as a generic term to represent both the START (S) and repeated START (Sr) conditions.

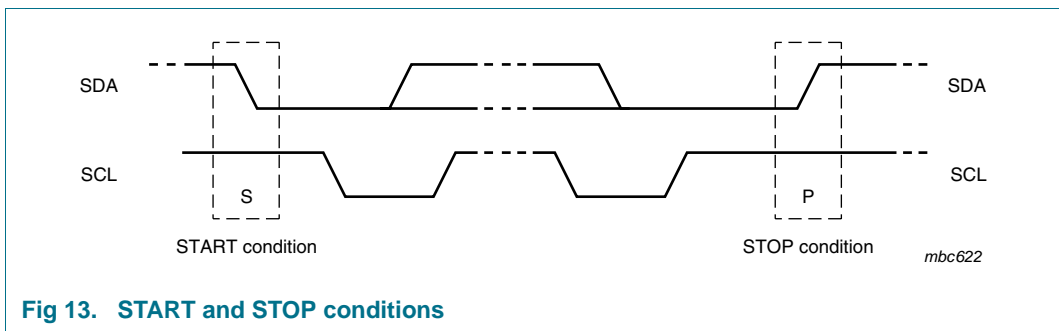


Fig 13. START and STOP conditions

8.1.4.3 Byte format

Each byte must be followed by an acknowledge bit. Data is transferred with the MSB first; see [Figure 16](#). The number of transmitted bytes during one data transfer is unrestricted but must meet the read/write cycle format.

8.1.4.4 Acknowledge

An acknowledge must be sent at the end of one data byte. The acknowledge-related clock pulse is generated by the master. The transmitter of data, either master or slave, releases the SDA line (HIGH) during the acknowledge clock pulse. The receiver pulls down the SDA line during the acknowledge clock pulse so that it remains stable LOW during the HIGH period of this clock pulse.

The master can then generate either a STOP (P) condition to stop the transfer or a repeated START (Sr) condition to start a new transfer.

A master-receiver indicates the end of data to the slave-transmitter by not generating an acknowledge on the last byte that was clocked out by the slave. The slave-transmitter releases the data line to allow the master to generate a STOP (P) or repeated START (Sr) condition.

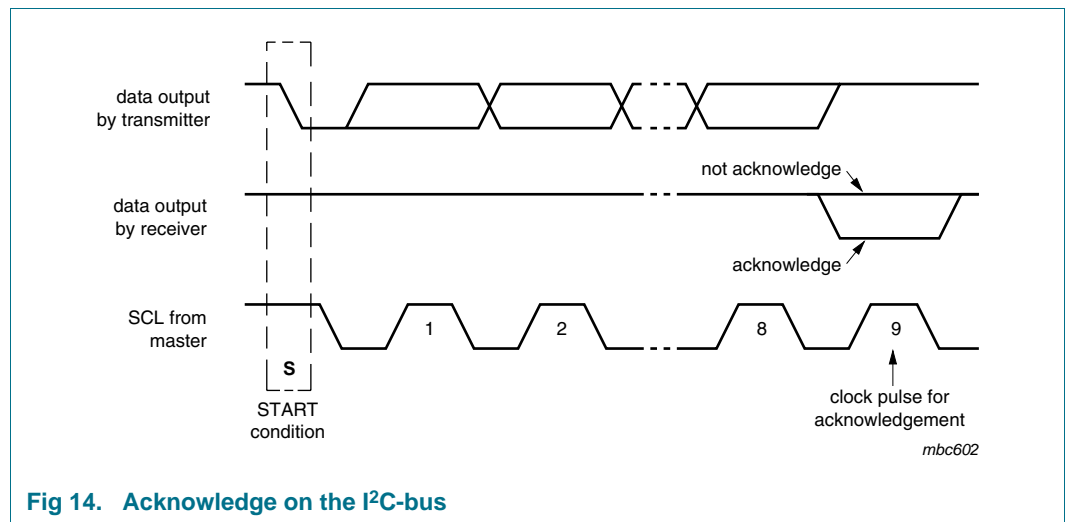


Fig 14. Acknowledge on the I²C-bus

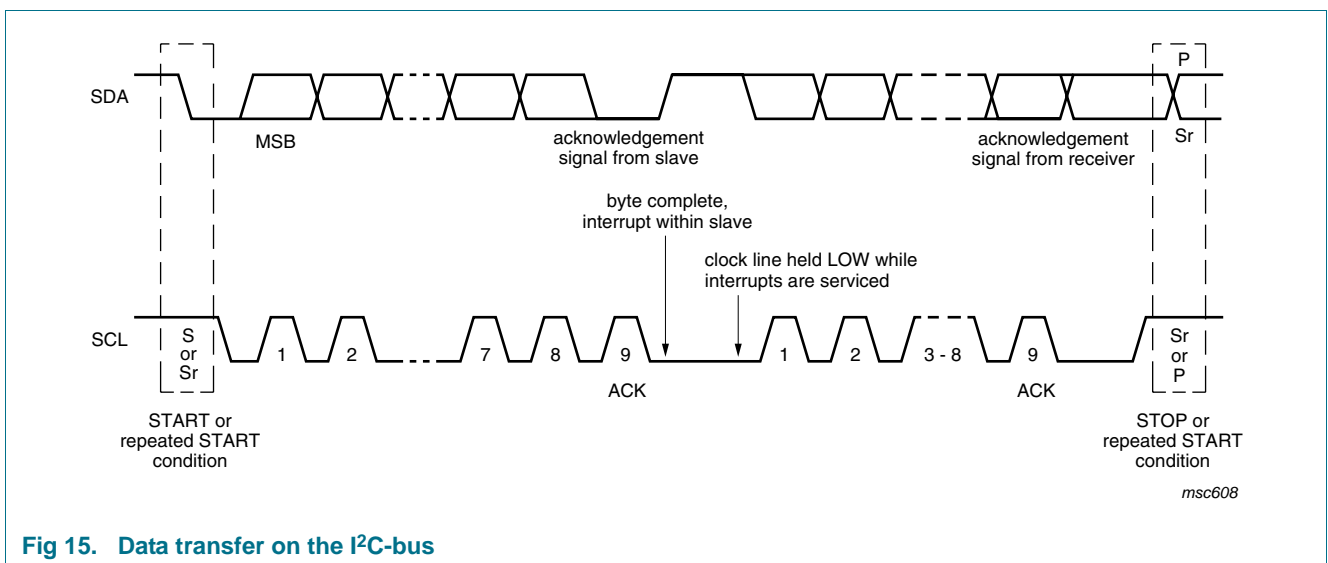


Fig 15. Data transfer on the I²C-bus

8.1.4.5 7-Bit addressing

During the I²C-bus address procedure, the first byte after the START condition is used to determine which slave will be selected by the master.

Several address numbers are reserved. During device configuration, the designer must ensure that collisions with these reserved addresses cannot occur. Check the *I²C-bus specification* for a complete list of reserved addresses.

The I²C-bus address specification is dependent on the definition of pin EA. Immediately after releasing pin NRSTPD or after a power-on reset, the device defines the I²C-bus address according to pin EA.

If pin EA is set LOW, the upper 4 bits of the device bus address are reserved by NXP Semiconductors and set to 0101b for all MFRC522 devices. The remaining 3 bits (ADR_0, ADR_1, ADR_2) of the slave address can be freely configured by the customer to prevent collisions with other I²C-bus devices.

If pin EA is set HIGH, ADR_0 to ADR_5 can be completely specified at the external pins according to [Table 5 on page 8](#). ADR_6 is always set to logic 0.

In both modes, the external address coding is latched immediately after releasing the reset condition. Further changes at the used pins are not taken into consideration. Depending on the external wiring, the I²C-bus address pins can be used for test signal outputs.

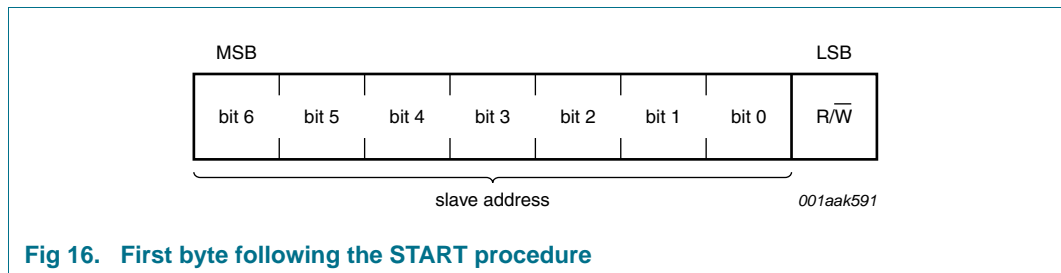


Fig 16. First byte following the START procedure

8.1.4.6 Register write access

To write data from the host controller using the I²C-bus to a specific register in the MFRC522 the following frame format must be used.

- The first byte of a frame indicates the device address according to the I²C-bus rules.
- The second byte indicates the register address followed by up to n-data bytes.

In one frame all data bytes are written to the same register address. This enables fast FIFO buffer access. The Read/Write (R/W) bit is set to logic 0.

8.1.4.7 Register read access

To read out data from a specific register address in the MFRC522, the host controller must use the following procedure:

- Firstly, a write access to the specific register address must be performed as indicated in the frame that follows
- The first byte of a frame indicates the device address according to the I²C-bus rules
- The second byte indicates the register address. No data bytes are added
- The Read/Write bit is 0

After the write access, read access can start. The host sends the device address of the MFRC522. In response, the MFRC522 sends the content of the read access register. In one frame all data bytes can be read from the same register address. This enables fast FIFO buffer access or register polling.

The Read/Write (R/W) bit is set to logic 1.

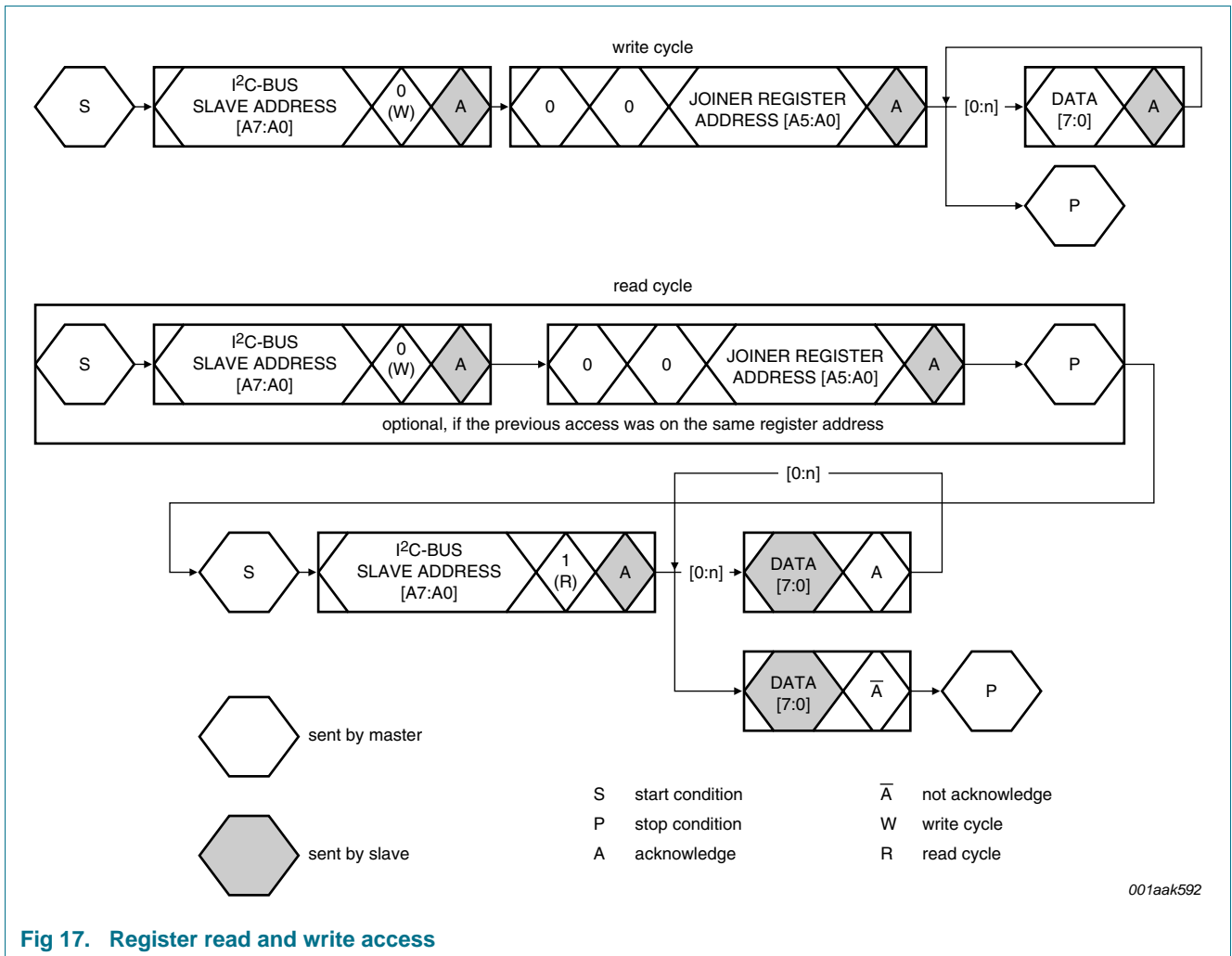


Fig 17. Register read and write access

8.1.4.8 High-speed mode

In High-speed mode (HS mode), the device can transfer information at data rates of up to 3.4 Mbit/s, while remaining fully downward-compatible with Fast or Standard mode (F/S mode) for bidirectional communication in a mixed-speed bus system.

8.1.4.9 High-speed transfer

To achieve data rates of up to 3.4 Mbit/s the following improvements have been made to I²C-bus operation.

- The inputs of the device in HS mode incorporate spike suppression, a Schmitt trigger on the SDA and SCL inputs and different timing constants when compared to F/S mode
- The output buffers of the device in HS mode incorporate slope control of the falling edges of the SDA and SCL signals with different fall times compared to F/S mode

8.1.4.10 Serial data transfer format in HS mode

The HS mode serial data transfer format meets the Standard mode I²C-bus specification. HS mode can only start after all of the following conditions (all of which are in F/S mode):

1. START condition (S)
2. 8-bit master code (00001XXXb)
3. Not-acknowledge bit (\bar{A})

When HS mode starts, the active master sends a repeated START condition (Sr) followed by a 7-bit slave address with a R/W bit address and receives an acknowledge bit (A) from the selected MFRC522.

Data transfer continues in HS mode after the next repeated START (Sr), only switching back to F/S mode after a STOP condition (P). To reduce the overhead of the master code, a master links a number of HS mode transfers, separated by repeated START conditions (Sr).

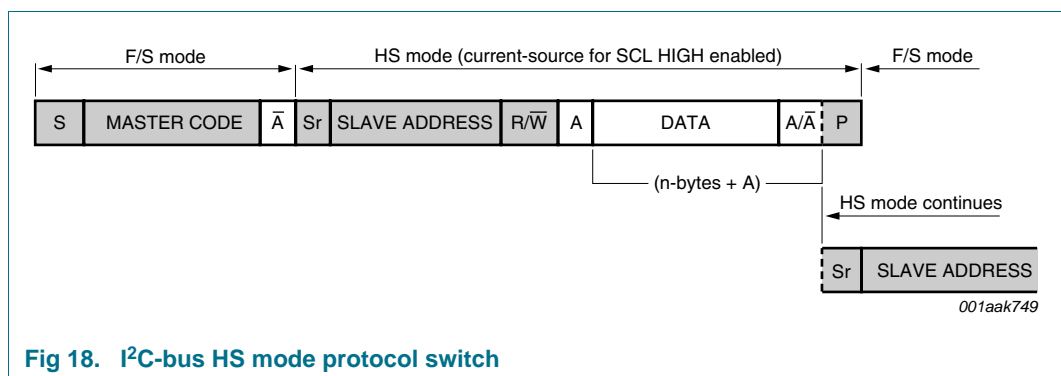


Fig 18. I²C-bus HS mode protocol switch

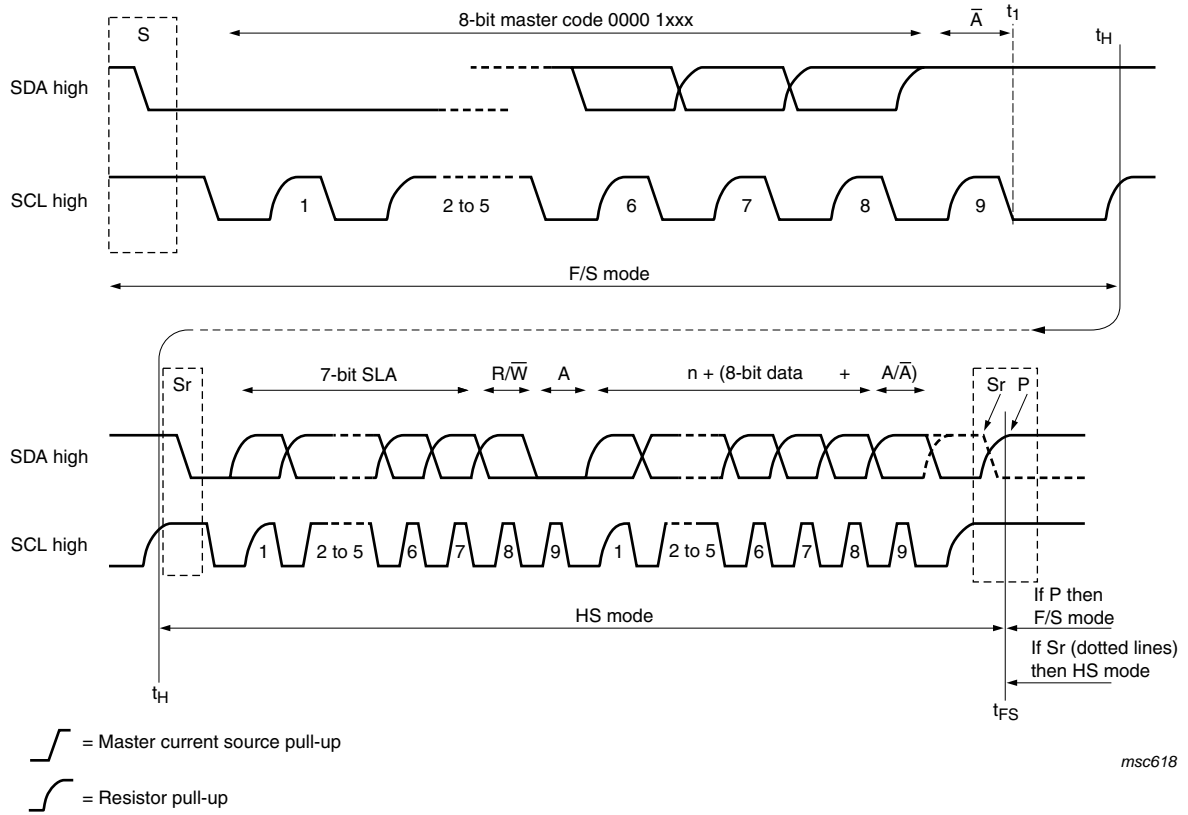


Fig 19. I²C-bus HS mode protocol frame

8.1.4.11 Switching between F/S mode and HS mode

After reset and initialization, the MFRC522 is in Fast mode (which is in effect F/S mode as Fast mode is downward-compatible with Standard mode). The connected MFRC522 recognizes the "S 00001XXX A" sequence and switches its internal circuitry from the Fast mode setting to the HS mode setting.

The following actions are taken:

1. Adapt the SDA and SCL input filters according to the spike suppression requirement in HS mode.
2. Adapt the slope control of the SDA output stages.

It is possible for system configurations that do not have other I²C-bus devices involved in the communication to switch to HS mode permanently. This is implemented by setting Status2Reg register's I²CForceHS bit to logic 1. In permanent HS mode, the master code is not required to be sent. This is not defined in the specification and must only be used when no other devices are connected on the bus. In addition, spikes on the I²C-bus lines must be avoided because of the reduced spike suppression.

8.1.4.12 MFRC522 at lower speed modes

MFRC522 is fully downward-compatible and can be connected to an F/S mode I²C-bus system. The device stays in F/S mode and communicates at F/S mode speeds because a master code is not transmitted in this configuration.

8.2 Analog interface and contactless UART

8.2.1 General

The integrated contactless UART supports the external host online with framing and error checking of the protocol requirements up to 848 kBd. An external circuit can be connected to the communication interface pins MFIN and MFOUT to modulate and demodulate the data.

The contactless UART handles the protocol requirements for the communication protocols in cooperation with the host. Protocol handling generates bit and byte-oriented framing. In addition, it handles error detection such as parity and CRC, based on the various supported contactless communication protocols.

Remark: The size and tuning of the antenna and the power supply voltage have an important impact on the achievable operating distance.

8.2.2 TX p-driver

The signal on pins TX1 and TX2 is the 13.56 MHz energy carrier modulated by an envelope signal. It can be used to drive an antenna directly using a few passive components for matching and filtering; see [Section 15 on page 78](#). The signal on pins TX1 and TX2 can be configured using the TxControlReg register; see [Section 9.3.2.5 on page 48](#).

The modulation index can be set by adjusting the impedance of the drivers. The impedance of the p-driver can be configured using registers CWGsPReg and ModGsPReg. The impedance of the n-driver can be configured using the GsNReg register. The modulation index also depends on the antenna design and tuning.

The TxModeReg and TxSelReg registers control the data rate and framing during transmission and the antenna driver setting to support the different requirements at the different modes and transfer speeds.

Table 15. Register and bit settings controlling the signal on pin TX1

Bit Tx1RFEn	Bit Force 100ASK	Bit InvTx1RFOn	Bit InvTx1RFOff	Envelope	Pin TX1	GSPMos	GSNMos	Remarks
0	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	not specified if RF is switched off
1	0	0	X ^[1]	0	RF	pMod	nMod	100 % ASK: pin TX1 pulled to logic 0, independent of the InvTx1RFOff bit
				1	RF	pCW	nCW	
	0	1	X ^[1]	0	RF	pMod	nMod	
				1	RF	pCW	nCW	
1	1	X ^[1]	X ^[1]	0	0	pMod	nMod	
				1	RF_n	pCW	nCW	

[1] X = Do not care.

Table 16. Register and bit settings controlling the signal on pin TX2

Bit Tx1RFEn	Bit Force 100ASK	Bit Tx2CW	Bit InvTx2RFOOn	Bit InvTx2RFOff	Envelope	Pin TX2	GSPMos	GSNMos	Remarks	
0	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	not specified if RF is switched off	
1	0	0	0	X ^[1]	0	RF	pMod	nMod	-	
					1	RF	pCW	nCW		
					0	RF_n	pMod	nMod		
					1	RF_n	pCW	nCW		
		1	0	X ^[1]	X ^[1]	RF	pCW	nCW	conductance always CW for the Tx2CW bit	
	1		X ^[1]	X ^[1]	RF_n	pCW	nCW			
	1	0	0	0	X ^[1]	0	0	pMod	nMod	100 % ASK: pin TX2 pulled to logic 0 (independent of the InvTx2RFOOn/InvTx2RFOff bits)
						1	RF	pCW	nCW	
					0	0	pMod	nMod		
					1	RF_n	pCW	nCW		
	1	0	X ^[1]	X ^[1]	RF	pCW	nCW			
1		X ^[1]	X ^[1]	RF_n	pCW	nCW				

[1] X = Do not care.

The following abbreviations have been used in [Table 15](#) and [Table 16](#):

- RF: 13.56 MHz clock derived from 27.12 MHz quartz crystal oscillator divided by 2
- RF_n: inverted 13.56 MHz clock
- GSPMos: conductance, configuration of the PMOS array
- GSNMos: conductance, configuration of the NMOS array
- pCW: PMOS conductance value for continuous wave defined by the CWGsPReg register
- pMod: PMOS conductance value for modulation defined by the ModGsPReg register
- nCW: NMOS conductance value for continuous wave defined by the GsNReg register's CWGsN[3:0] bits
- nMod: NMOS conductance value for modulation defined by the GsNReg register's ModGsN[3:0] bits
- X = do not care.

Remark: If only one driver is switched on, the values for CWGsPReg, ModGsPReg and GsNReg registers are used for both drivers.

8.2.3 Serial data switch

Two main blocks are implemented in the MFRC522. The digital block comprises the state machines, encoder/decoder logic. The analog block comprises the modulator and antenna drivers, the receiver and amplifiers. It is possible for the interface between these two blocks to be configured so that the interfacing signals are routed to pins MFIN and MFOUT.

This topology allows the analog block of the MFRC522 to be connected to the digital block of another device.

The serial signal switch is controlled by the TxSelReg and RxSelReg registers.

Figure 20 shows the serial data switch for p-driver TX1 and TX2.

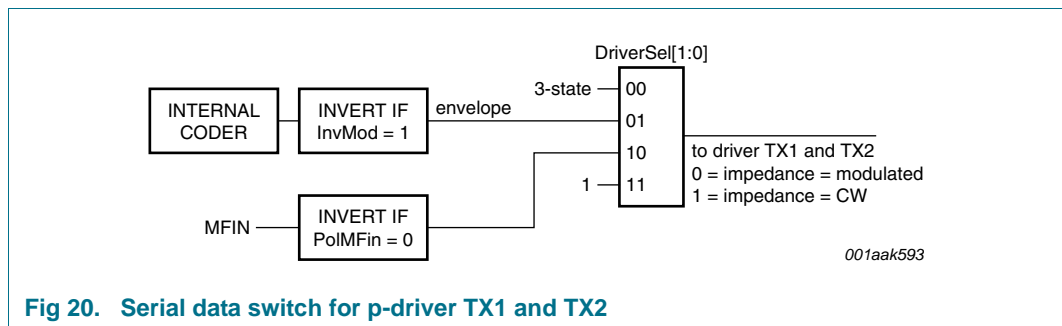


Fig 20. Serial data switch for p-driver TX1 and TX2

8.2.4 MFIN and MFOUT interface support

The MFRC522 is divided into a digital circuit block and an analog circuit block. The digital block contains state machines, encoder and decoder logic and so on. The analog block contains the modulator and antenna drivers, receiver and amplifiers. The interface between these two blocks can be configured so that the interfacing signals can be routed to pins MFIN and MFOUT; see Figure 21 on page 26. This configuration is implemented using TxSelReg register’s MFOutSel[3:0] and DriverSel[1:0] bits and RxSelReg register’s UARTSel[1:0] bits.

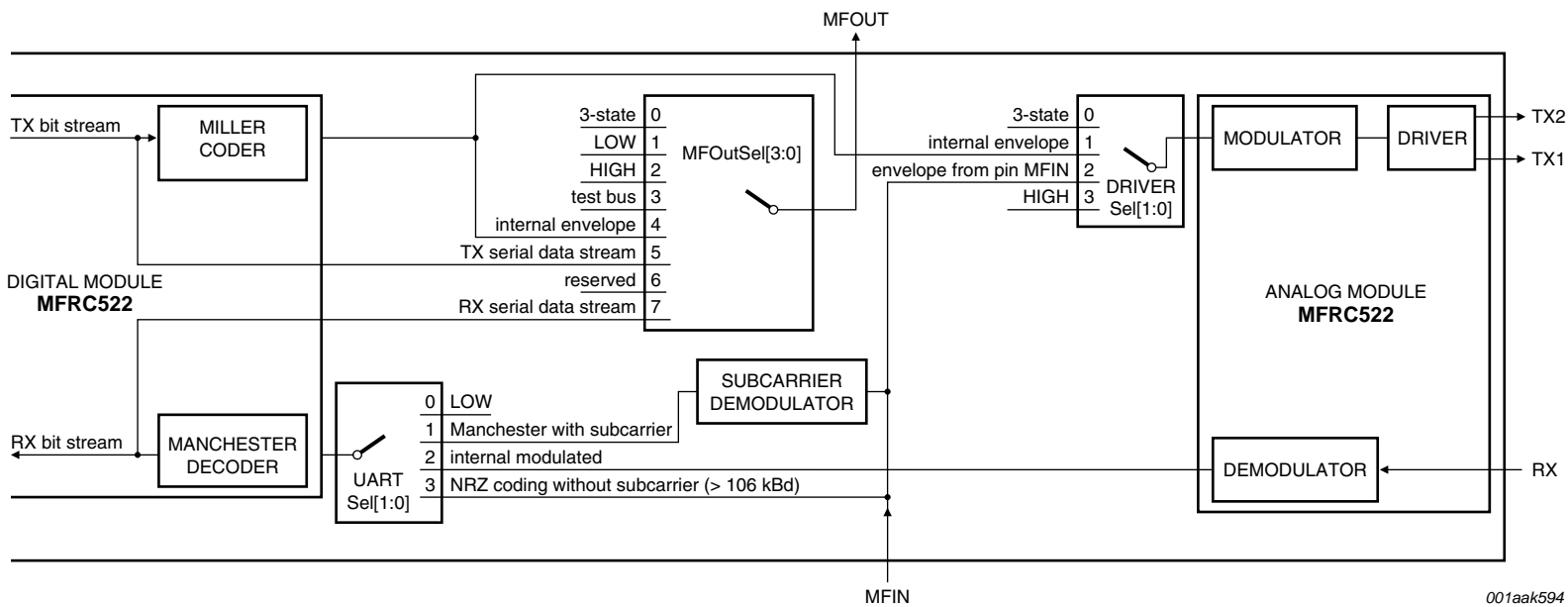
This topology allows some parts of the analog block to be connected to the digital block of another device.

Switch MFOutSel in the TxSelReg register can be used to measure MIFARE and ISO/IEC14443 A related signals. This is especially important during the design-in phase or for test purposes as it enables checking of the transmitted and received data.

The most important use of pins MFIN and MFOUT is found in the active antenna concept. An external active antenna circuit can be connected to the MFRC522’s digital block. Switch MFOutSel must be configured so that the internal Miller encoded signal is sent to pin MFOUT (MFOutSel = 100b). UARTSel[1:0] must be configured to receive a Manchester signal with subcarrier from pin MFIN (UARTSel[1:0] = 01).

It is possible to connect a passive antenna to pins TX1, TX2 and RX (using the appropriate filter and matching circuit) and an active antenna to pins MFOUT and MFIN at the same time. In this configuration, two RF circuits can be driven (one after another) by a single host processor.

Remark: Pins MFIN and MFOUT have a dedicated supply on pin SVDD with the ground on pin PVSS. If pin MFIN is not used it must be connected to either pin SVDD or pin PVSS. If pin SVDD is not used it must be connected to either pin DVDD, pin PVDD or any other voltage supply pin.



001aak594

Fig 21. Overview of MFIN and MFOUT signal routing

8.2.5 CRC coprocessor

The following CRC coprocessor parameters can be configured:

- The CRC preset value can be either 0000h, 6363h, A671h or FFFFh depending on the ModeReg register's CRCPreset[1:0] bits setting
- The CRC polynomial for the 16-bit CRC is fixed to $x^{16} + x^{12} + x^5 + 1$
- The CRCResultReg register indicates the result of the CRC calculation. This register is split into two 8-bit registers representing the higher and lower bytes.
- The ModeReg register's MSBFirst bit indicates that data will be loaded with the MSB first.

Table 17. CRC coprocessor parameters

Parameter	Value
CRC register length	16-bit CRC
CRC algorithm	algorithm according to ISO/IEC 14443 A and ITU-T
CRC preset value	0000h, 6363h, A671h or FFFFh depending on the setting of the ModeReg register's CRCPreset[1:0] bits

8.3 FIFO buffer

An 8 × 64 bit FIFO buffer is used in the MFRC522. It buffers the input and output data stream between the host and the MFRC522's internal state machine. This makes it possible to manage data streams up to 64 bytes long without the need to take timing constraints into account.

8.3.1 Accessing the FIFO buffer

The FIFO buffer input and output data bus is connected to the FIFODataReg register. Writing to this register stores one byte in the FIFO buffer and increments the internal FIFO buffer write pointer. Reading from this register shows the FIFO buffer contents stored in the FIFO buffer read pointer and decrements the FIFO buffer read pointer. The distance between the write and read pointer can be obtained by reading the FIFOLevelReg register.

When the microcontroller starts a command, the MFRC522 can, while the command is in progress, access the FIFO buffer according to that command. Only one FIFO buffer has been implemented which can be used for input and output. The microcontroller must ensure that there are not any unintentional FIFO buffer accesses.

8.3.2 Controlling the FIFO buffer

The FIFO buffer pointers can be reset by setting FIFOLevelReg register's FlushBuffer bit to logic 1. Consequently, the FIFOLevel[6:0] bits are all set to logic 0 and the ErrorReg register's BufferOvfl bit is cleared. The bytes stored in the FIFO buffer are no longer accessible allowing the FIFO buffer to be filled with another 64 bytes.

8.3.3 FIFO buffer status information

The host can get the following FIFO buffer status information:

- Number of bytes stored in the FIFO buffer: FIFOLevelReg register's FIFOLevel[6:0]
- FIFO buffer almost full warning: Status1Reg register's HiAlert bit

- FIFO buffer almost empty warning: Status1Reg register's LoAlert bit
- FIFO buffer overflow warning: ErrorReg register's BufferOvfl bit. The BufferOvfl bit can only be cleared by setting the FIFOLevelReg register's FlushBuffer bit.

The MFRC522 can generate an interrupt signal when:

- ComIEnReg register's LoAlertIEn bit is set to logic 1. It activates pin IRQ when Status1Reg register's LoAlert bit changes to logic 1.
- ComIEnReg register's HiAlertIEn bit is set to logic 1. It activates pin IRQ when Status1Reg register's HiAlert bit changes to logic 1.

If the maximum number of WaterLevel bytes (as set in the WaterLevelReg register) or less are stored in the FIFO buffer, the HiAlert bit is set to logic 1. It is generated according to [Equation 3](#):

$$HiAlert = (64 - FIFOLength) \leq WaterLevel \quad (3)$$

If the number of WaterLevel bytes (as set in the WaterLevelReg register) or less are stored in the FIFO buffer, the LoAlert bit is set to logic 1. It is generated according to [Equation 4](#):

$$LoAlert = FIFOLength \leq WaterLevel \quad (4)$$

8.4 Interrupt request system

The MFRC522 indicates certain events by setting the Status1Reg register's IRq bit and, if activated, by pin IRQ. The signal on pin IRQ can be used to interrupt the host using its interrupt handling capabilities. This allows the implementation of efficient host software.

8.4.1 Interrupt sources overview

[Table 18](#) shows the available interrupt bits, the corresponding source and the condition for its activation. The ComIrqReg register's TimerIRq interrupt bit indicates an interrupt set by the timer unit which is set when the timer decrements from 1 to 0.

The ComIrqReg register's TxIRq bit indicates that the transmitter has finished. If the state changes from sending data to transmitting the end of the frame pattern, the transmitter unit automatically sets the interrupt bit. The CRC coprocessor sets the DivIrqReg register's CRCIRq bit after processing all the FIFO buffer data which is indicated by CRCReady bit = 1.

The ComIrqReg register's RxIRq bit indicates an interrupt when the end of the received data is detected. The ComIrqReg register's IdleIRq bit is set if a command finishes and the Command[3:0] value in the CommandReg register changes to idle (see [Table 149 on page 67](#)).

The ComIrqReg register's HiAlertIRq bit is set to logic 1 when the Status1Reg register's HiAlert bit is set to logic 1 which means that the FIFO buffer has reached the level indicated by the WaterLevel[5:0] bits.

The ComIrqReg register's LoAlertIRq bit is set to logic 1 when the Status1Reg register's LoAlert bit is set to logic 1 which means that the FIFO buffer has reached the level indicated by the WaterLevel[5:0] bits.

The ComIrqReg register's ErrIRq bit indicates an error detected by the contactless UART during send or receive. This is indicated when any bit is set to logic 1 in register ErrorReg.

Table 18. Interrupt sources

Interrupt flag	Interrupt source	Trigger action
IRq	timer unit	the timer counts from 1 to 0
TxIRq	transmitter	a transmitted data stream ends
CRCIRq	CRC coprocessor	all data from the FIFO buffer has been processed
RxIRq	receiver	a received data stream ends
IdleIRq	ComIrqReg register	command execution finishes
HiAlertIRq	FIFO buffer	the FIFO buffer is almost full
LoAlertIRq	FIFO buffer	the FIFO buffer is almost empty
ErrIRq	contactless UART	an error is detected

8.5 Timer unit

The MFRC522A has a timer unit which the external host can use to manage timing tasks. The timer unit can be used in one of the following timer/counter configurations:

- Timeout counter
- Watchdog counter
- Stop watch
- Programmable one shot
- Periodical trigger

The timer unit can be used to measure the time interval between two events or to indicate that a specific event occurred after a specific time. The timer can be triggered by events explained in the paragraphs below. The timer does not influence any internal events, for example, a time-out during data reception does not automatically influence the reception process. Furthermore, several timer-related bits can be used to generate an interrupt.

The timer has an input clock of 13.56 MHz derived from the 27.12 MHz quartz crystal oscillator. The timer consists of two stages: prescaler and counter.

The prescaler (TPrescaler) is a 12-bit counter. The reload values (TReloadVal_Hi[7:0] and TReloadVal_Lo[7:0]) for TPrescaler can be set between 0 and 4095 in the TModeReg register's TPrescaler_Hi[3:0] bits and TPrescalerReg register's TPrescaler_Lo[7:0] bits.

The reload value for the counter is defined by 16 bits between 0 and 65535 in the TReloadReg register.

The current value of the timer is indicated in the TCounterValReg register.

When the counter reaches 0, an interrupt is automatically generated, indicated by the ComIrqReg register's TimerIRq bit setting. If enabled, this event can be indicated on pin IRQ. The TimerIRq bit can be set and reset by the host. Depending on the configuration, the timer will stop at 0 or restart with the value set in the TReloadReg register.

The timer status is indicated by the Status1Reg register's TRunning bit.

The timer can be started manually using the ControlReg register's TStartNow bit and stopped using the ControlReg register's TStopNow bit.

The timer can also be activated automatically to meet any dedicated protocol requirements by setting the TModeReg register's TAuto bit to logic 1.

The delay time of a timer stage is set by the reload value + 1. The total delay time (t_d) is calculated using [Equation 5](#):

$$t_d = \frac{(TPrescaler \times 2 + 1) \times (TReloadVal + 1)}{13.56 \text{ MHz}} \quad (5)$$

An example of calculating total delay time (t_d) is shown in [Equation 6](#), where the TPrescaler value = 4095 and TReloadVal = 65535:

$$39.59 \text{ s} = \frac{(4095 \times 2 + 1) \times (65535 + 1)}{13.56 \text{ MHz}} \quad (6)$$

Example: To give a delay time of 25 μs requires 339 clock cycles to be counted and a TPrescaler value of 169. This configures the timer to count up to 65535 time-slots for every 25 μs period.

8.6 Power reduction modes

8.6.1 Hard power-down

Hard power-down is enabled when pin NRSTPD is LOW. This turns off all internal current sinks including the oscillator. All digital input buffers are separated from the input pins and clamped internally (except pin NRSTPD). The output pins are frozen at either a HIGH or LOW level.

8.6.2 Soft power-down mode

Soft Power-down mode is entered immediately after the CommandReg register's PowerDown bit is set to logic 1. All internal current sinks are switched off, including the oscillator buffer. However, the digital input buffers are not separated from the input pins and keep their functionality. The digital output pins do not change their state.

During soft power-down, all register values, the FIFO buffer content and the configuration keep their current contents.

After setting the PowerDown bit to logic 0, it takes 1024 clocks until the Soft power-down mode is exited indicated by the PowerDown bit. Setting it to logic 0 does not immediately clear it. It is cleared automatically by the MFRC522 when Soft power-down mode is exited.

Remark: If the internal oscillator is used, you must take into account that it is supplied by pin AVDD and it will take a certain time (t_{osc}) until the oscillator is stable and the clock cycles can be detected by the internal logic. It is recommended for the serial UART, to first send the value 55h to the MFRC522. The oscillator must be stable for further access to the registers. To ensure this, perform a read access to address 0 until the MFRC522 answers to the last read command with the register content of address 0. This indicates that the MFRC522 is ready.

8.6.3 Transmitter power-down mode

The Transmitter Power-down mode switches off the internal antenna drivers thereby, turning off the RF field. Transmitter power-down mode is entered by setting either the TxControlReg register's Tx1RFEn bit or Tx2RFEn bit to logic 0.

8.7 Oscillator circuit

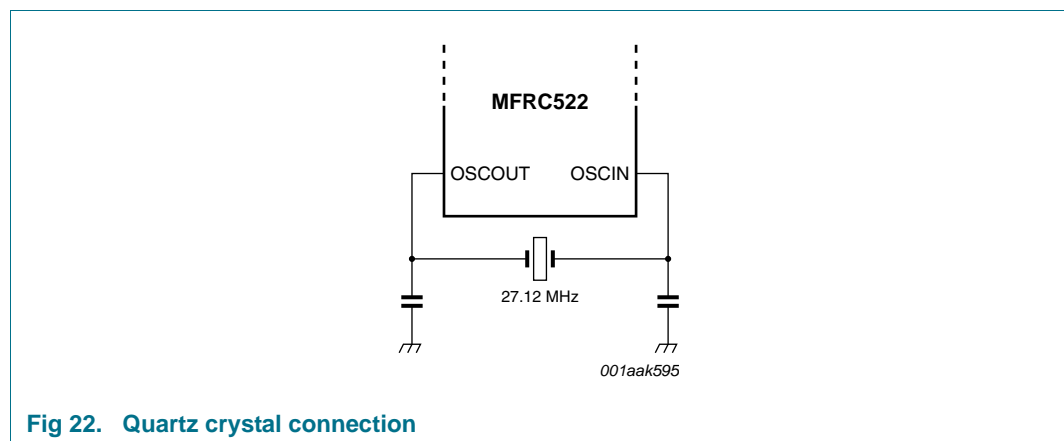


Fig 22. Quartz crystal connection

The clock applied to the MFRC522 provides a time basis for the synchronous system's encoder and decoder. The stability of the clock frequency, therefore, is an important factor for correct operation. To obtain optimum performance, clock jitter must be reduced as much as possible. This is best achieved using the internal oscillator buffer with the recommended circuitry.

If an external clock source is used, the clock signal must be applied to pin OSCIN. In this case, special care must be taken with the clock duty cycle and clock jitter and the clock quality must be verified.

8.8 Reset and oscillator start-up time

8.8.1 Reset timing requirements

The reset signal is filtered by a hysteresis circuit and a spike filter before it enters the digital circuit. The spike filter rejects signals shorter than 10 ns. In order to perform a reset, the signal must be LOW for at least 100 ns.

8.8.2 Oscillator start-up time

If the MFRC522 has been set to a Power-down mode or is powered by a V_{DDX} supply, the start-up time for the MFRC522 depends on the oscillator used and is shown in [Figure 23](#).

The time ($t_{startup}$) is the start-up time of the crystal oscillator circuit. The crystal oscillator start-up time is defined by the crystal.

The time (t_d) is the internal delay time of the MFRC522 when the clock signal is stable before the MFRC522 can be addressed.

The delay time is calculated by:

$$t_d = \frac{1024}{27 \mu s} = 37.74 \mu s \tag{7}$$

The time (t_{osc}) is the sum of t_d and $t_{startup}$.

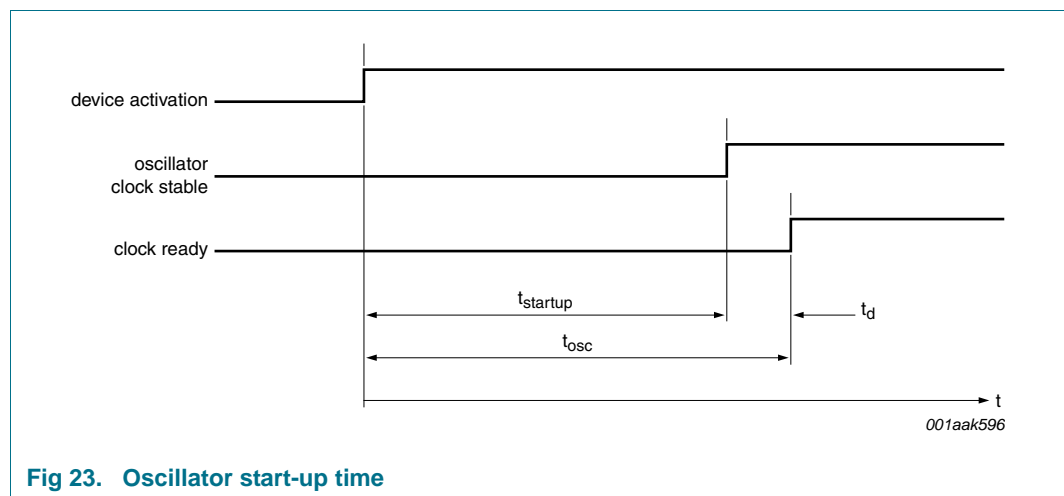


Fig 23. Oscillator start-up time

9. MFRC522 registers

9.1 Register bit behavior

Depending on the functionality of a register, the access conditions to the register can vary. In principle, bits with same behavior are grouped in common registers. The access conditions are described in [Table 19](#).

Table 19. Behavior of register bits and their designation

Abbreviation	Behavior	Description
R/W	read and write	These bits can be written and read by the microcontroller. Since they are used only for control purposes, their content is not influenced by internal state machines, for example the ComIEnReg register can be written and read by the microcontroller. It will also be read by internal state machines but never changed by them.
D	dynamic	These bits can be written and read by the microcontroller. Nevertheless, they can also be written automatically by internal state machines, for example the CommandReg register changes its value automatically after the execution of the command.
R	read only	These register bits hold values which are determined by internal states only, for example the CRCReady bit cannot be written externally but shows internal states.
W	write only	Reading these register bits always returns zero.
reserved	-	These registers are reserved for future use and must not be changed. In case of a write access, it is recommended to always write the value "0".
RFT	-	These register bits are reserved for future use or are for production tests and must not be changed.

9.2 Register overview

Table 20. MFRC522 register overview

Address (hex)	Register name	Function	Refer to
Page 0: Command and status			
00h	Reserved	reserved for future use	Table 21 on page 36
01h	CommandReg	starts and stops command execution	Table 23 on page 36
02h	ComlEnReg	enable and disable interrupt request control bits	Table 25 on page 36
03h	DivlEnReg	enable and disable interrupt request control bits	Table 27 on page 37
04h	ComlRqReg	interrupt request bits	Table 29 on page 37
05h	DivlRqReg	interrupt request bits	Table 31 on page 38
06h	ErrorReg	error bits showing the error status of the last command executed	Table 33 on page 39
07h	Status1Reg	communication status bits	Table 35 on page 40
08h	Status2Reg	receiver and transmitter status bits	Table 37 on page 41
09h	FIFODataReg	input and output of 64 byte FIFO buffer	Table 39 on page 42
0Ah	FIFOLevelReg	number of bytes stored in the FIFO buffer	Table 41 on page 42
0Bh	WaterLevelReg	level for FIFO underflow and overflow warning	Table 43 on page 42
0Ch	ControlReg	miscellaneous control registers	Table 45 on page 43
0Dh	BitFramingReg	adjustments for bit-oriented frames	Table 47 on page 44
0Eh	CollReg	bit position of the first bit-collision detected on the RF interface	Table 49 on page 44
0Fh	Reserved	reserved for future use	Table 51 on page 45
Page 1: Command			
10h	Reserved	reserved for future use	Table 53 on page 45
11h	ModeReg	defines general modes for transmitting and receiving	Table 55 on page 46
12h	TxModeReg	defines transmission data rate and framing	Table 57 on page 46
13h	RxModeReg	defines reception data rate and framing	Table 59 on page 47
14h	TxControlReg	controls the logical behavior of the antenna driver pins TX1 and TX2	Table 61 on page 48
15h	TxASKReg	controls the setting of the transmission modulation	Table 63 on page 49
16h	TxSelReg	selects the internal sources for the antenna driver	Table 65 on page 49
17h	RxSelReg	selects internal receiver settings	Table 67 on page 50
18h	RxThresholdReg	selects thresholds for the bit decoder	Table 69 on page 51
19h	DemodReg	defines demodulator settings	Table 71 on page 51
1Ah	Reserved	reserved for future use	Table 73 on page 52
1Bh	Reserved	reserved for future use	Table 75 on page 52
1Ch	MfTxReg	controls some MIFARE communication transmit parameters	Table 77 on page 52
1Dh	MfRxReg	controls some MIFARE communication receive parameters	Table 79 on page 53
1Eh	Reserved	reserved for future use	Table 81 on page 53
1Fh	SerialSpeedReg	selects the speed of the serial UART interface	Table 83 on page 53
Page 2: Configuration			
20h	Reserved	reserved for future use	Table 85 on page 54

Table 20. MFRC522 register overview ...continued

Address (hex)	Register name	Function	Refer to
21h	CRCResultReg	shows the MSB and LSB values of the CRC calculation	Table 87 on page 54
22h			Table 89 on page 54
23h	Reserved	reserved for future use	Table 91 on page 55
24h	ModWidthReg	controls the ModWidth setting	Table 93 on page 55
25h	Reserved	reserved for future use	Table 95 on page 55
26h	RFCfgReg	configures the receiver gain	Table 97 on page 56
27h	GsNReg	selects the conductance of the antenna driver pins TX1 and TX2 for modulation	Table 99 on page 56
28h	CWGsPReg	defines the conductance of the p-driver output during periods of no modulation	Table 101 on page 57
29h	ModGsPReg	defines the conductance of the p-driver output during periods of modulation	Table 103 on page 57
2Ah	TModeReg	defines settings for the internal timer	Table 105 on page 57
2Bh	TPrescalerReg		Table 107 on page 58
2Ch	TReloadReg	defines the 16-bit timer reload value	Table 109 on page 59
2Dh			Table 111 on page 59
2Eh	TCounterValReg	shows the 16-bit timer value	Table 113 on page 60
2Fh			Table 115 on page 60

Page 3: Test register

30h	Reserved	reserved for future use	Table 117 on page 60
31h	TestSel1Reg	general test signal configuration	Table 119 on page 60
32h	TestSel2Reg	general test signal configuration and PRBS control	Table 121 on page 61
33h	TestPinEnReg	enables pin output driver on pins D1 to D7	Table 123 on page 61
34h	TestPinValueReg	defines the values for D1 to D7 when it is used as an I/O bus	Table 125 on page 62
35h	TestBusReg	shows the status of the internal test bus	Table 127 on page 62
36h	AutoTestReg	controls the digital self test	Table 129 on page 63
37h	VersionReg	shows the software version	Table 131 on page 63
38h	AnalogTestReg	controls the pins AUX1 and AUX2	Table 133 on page 64
39h	TestDAC1Reg	defines the test value for TestDAC1	Table 135 on page 65
3Ah	TestDAC2Reg	defines the test value for TestDAC2	Table 137 on page 65
3Bh	TestADCReg	shows the value of ADC I and Q channels	Table 139 on page 65
3Ch to 3Fh	Reserved	reserved for production tests	Table 141 to Table 147 on page 66

9.3 Register descriptions

9.3.1 Page 0: Command and status

9.3.1.1 Reserved register 00h

Functionality is reserved for future use.

Table 21. Reserved register (address 00h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved							
Access	-							

Table 22. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	-	reserved

9.3.1.2 CommandReg register

Starts and stops command execution.

Table 23. CommandReg register (address 01h); reset value: 20h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol:	reserved		RcvOff	PowerDown	Command[3:0]			
Access:	-		R/W	D	D			

Table 24. CommandReg register bit descriptions

Bit	Symbol	Value	Description
7 to 6	reserved	-	reserved for future use
5	RcvOff	1	analog part of the receiver is switched off
4	PowerDown	1	Soft power-down mode entered
		0	MFRC522 starts the wake up procedure during which this bit is read as a logic 1; it is read as a logic 0 when the MFRC522 is ready; see Section 8.6.2 on page 31
			Remark: The PowerDown bit cannot be set when the SoftReset command is activated
3 to 0	Command[3:0]	-	activates a command based on the Command value; reading this register shows which command is executed; see Section 10.3 on page 67

9.3.1.3 ComIEnReg register

Control bits to enable and disable the passing of interrupt requests.

Table 25. ComIEnReg register (address 02h); reset value: 80h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	IRqInv	TxIEn	RxIEn	IdleIEn	HiAlertIEn	LoAlertIEn	ErrIEn	TimerIEn
Access	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Table 26. ComIEnReg register bit descriptions

Bit	Symbol	Value	Description
7	IRqInv	1	signal on pin IRQ is inverted with respect to the Status1Reg register's IRq bit
		0	signal on pin IRQ is equal to the IRq bit; in combination with the DivIEnReg register's IRqPushPull bit, the default value of logic 1 ensures that the output level on pin IRQ is 3-state
6	TxIEn	-	allows the transmitter interrupt request (TxIRq bit) to be propagated to pin IRQ
5	RxIEn	-	allows the receiver interrupt request (RxIRq bit) to be propagated to pin IRQ
4	IdleIEn	-	allows the idle interrupt request (IdleIRq bit) to be propagated to pin IRQ
3	HiAlertIEn	-	allows the high alert interrupt request (HiAlertIRq bit) to be propagated to pin IRQ
2	LoAlertIEn	-	allows the low alert interrupt request (LoAlertIRq bit) to be propagated to pin IRQ
1	ErrIEn	-	allows the error interrupt request (ErrIRq bit) to be propagated to pin IRQ
0	TimerIEn	-	allows the timer interrupt request (TimerIRq bit) to be propagated to pin IRQ

9.3.1.4 DivIEnReg register

Control bits to enable and disable the passing of interrupt requests.

Table 27. DivIEnReg register (address 03h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	IRQPushPull	reserved	MfinActIEn	reserved	CRCIEn	reserved		
Access	R/W	-	R/W	-	R/W	-		

Table 28. DivIEnReg register bit descriptions

Bit	Symbol	Value	Description
7	IRQPushPull	1	pin IRQ is a standard CMOS output pin
		0	pin IRQ is an open-drain output pin
6 to 5	reserved	-	reserved for future use
4	MfinActIEn	-	allows the MFIN active interrupt request to be propagated to pin IRQ
3	reserved	-	reserved for future use
2	CRCIEn	-	allows the CRC interrupt request, indicated by the DivIrqReg register's CRCIRq bit, to be propagated to pin IRQ
1 to 0	reserved	-	reserved for future use

9.3.1.5 ComIrqReg register

Interrupt request bits.

Table 29. ComIrqReg register (address 04h); reset value: 14h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	Set1	TxIRq	RxIRq	IdleIRq	HiAlertIRq	LoAlertIRq	ErrIRq	TimerIRq
Access	W	D	D	D	D	D	D	D

Table 30. ComlRqReg register bit descriptions

All bits in the ComlRqReg register are cleared by software.

Bit	Symbol	Value	Description
7	Set1	1	indicates that the marked bits in the ComlRqReg register are set
		0	indicates that the marked bits in the ComlRqReg register are cleared
6	TxIRq	1	set immediately after the last bit of the transmitted data was sent out
5	RxIRq	1	receiver has detected the end of a valid data stream if the RxModeReg register's RxNoErr bit is set to logic 1, the RxIRq bit is only set to logic 1 when data bytes are available in the FIFO
4	IdleIRq	1	If a command terminates, for example, when the CommandReg changes its value from any command to the Idle command (see Table 149 on page 67) if an unknown command is started, the CommandReg register Command[3:0] value changes to the idle state and the IdleIRq bit is set The microcontroller starting the Idle command does not set the IdleIRq bit
3	HiAlertIRq	1	the Status1Reg register's HiAlert bit is set in opposition to the HiAlert bit, the HiAlertIRq bit stores this event and can only be reset as indicated by the Set1 bit in this register
2	LoAlertIRq	1	Status1Reg register's LoAlert bit is set in opposition to the LoAlert bit, the LoAlertIRq bit stores this event and can only be reset as indicated by the Set1 bit in this register
1	ErrIRq	1	any error bit in the ErrorReg register is set
0	TimerIRq	1	the timer decrements the timer value in register TCounterValReg to zero

9.3.1.6 DivlRqReg register

Interrupt request bits.

Table 31. DivlRqReg register (address 05h); reset value: x0h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	Set2	reserved	MfinActIRq	reserved	CRCIRq	reserved	reserved	reserved
Access	W	-	D	-	D	-	-	-

Table 32. DivlRqReg register bit descriptions

All bits in the DivlRqReg register are cleared by software.

Bit	Symbol	Value	Description
7	Set2	1	indicates that the marked bits in the DivlRqReg register are set
		0	indicates that the marked bits in the DivlRqReg register are cleared
6 to 5	reserved	-	reserved for future use
4	MfinActIRq	1	MFIN is active this interrupt is set when either a rising or falling signal edge is detected
3	reserved	-	reserved for future use
2	CRCIRq	1	the CalcCRC command is active and all data is processed
1 to 0	reserved	-	reserved for future use

9.3.1.7 ErrorReg register

Error bit register showing the error status of the last command executed.

Table 33. ErrorReg register (address 06h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	WrErr	TempErr	reserved	BufferOvfl	CollErr	CRCErr	ParityErr	ProtocolErr
Access	R	R	-	R	R	R	R	R

Table 34. ErrorReg register bit descriptions

Bit	Symbol	Value	Description
7	WrErr	1	data is written into the FIFO buffer by the host during the MFAuthent command or if data is written into the FIFO buffer by the host during the time between sending the last bit on the RF interface and receiving the last bit on the RF interface
6	TempErr ^[1]	1	internal temperature sensor detects overheating, in which case the antenna drivers are automatically switched off
5	reserved	-	reserved for future use
4	BufferOvfl	1	the host or a MFRC522's internal state machine (e.g. receiver) tries to write data to the FIFO buffer even though it is already full
3	CollErr	1	a bit-collision is detected cleared automatically at receiver start-up phase only valid during the bitwise anticollision at 106 kBd always set to logic 0 during communication protocols at 212 kBd, 424 kBd and 848 kBd
2	CRCErr	1	the RxModeReg register's RxCRCEn bit is set and the CRC calculation fails automatically cleared to logic 0 during receiver start-up phase
1	ParityErr	1	parity check failed automatically cleared during receiver start-up phase only valid for ISO/IEC 14443 A/MIFARE communication at 106 kBd
0	ProtocolErr	1	set to logic 1 if the SOF is incorrect automatically cleared during receiver start-up phase bit is only valid for 106 kBd during the MFAuthent command, the ProtocolErr bit is set to logic 1 if the number of bytes received in one data stream is incorrect

[1] Command execution clears all error bits except the TempErr bit. Cannot be set by software.

9.3.1.8 Status1Reg register

Contains status bits of the CRC, interrupt and FIFO buffer.

Table 35. Status1Reg register (address 07h); reset value: 21h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved	CRCOk	CRCReady	IRq	TRunning	reserved	HiAlert	LoAlert
Access	-	R	R	R	R	-	R	R

Table 36. Status1Reg register bit descriptions

Bit	Symbol	Value	Description
7	reserved	-	reserved for future use
6	CRCOk	1	the CRC result is zero for data transmission and reception, the CRCOk bit is undefined: use the ErrorReg register's CRCErr bit indicates the status of the CRC coprocessor, during calculation the value changes to logic 0, when the calculation is done correctly the value changes to logic 1
5	CRCReady	1	the CRC calculation has finished only valid for the CRC coprocessor calculation using the CalcCRC command
4	IRq	-	indicates if any interrupt source requests attention with respect to the setting of the interrupt enable bits: see the ComIEnReg and DivIEnReg registers
3	TRunning	1	MFRC522's timer unit is running, i.e. the timer will decrement the TCounterValReg register with the next timer clock Remark: in gated mode, the TRunning bit is set to logic 1 when the timer is enabled by TModeReg register's TGated[1:0] bits; this bit is not influenced by the gated signal
2	reserved	-	reserved for future use
1	HiAlert	1	the number of bytes stored in the FIFO buffer corresponds to equation: $HiAlert = (64 - FIFOLength) \leq WaterLevel$ example: FIFO length = 60, WaterLevel = 4 → HiAlert = 1 FIFO length = 59, WaterLevel = 4 → HiAlert = 0
0	LoAlert	1	the number of bytes stored in the FIFO buffer corresponds to equation: $LoAlert = FIFOLength \leq WaterLevel$ example: FIFO length = 4, WaterLevel = 4 → LoAlert = 1 FIFO length = 5, WaterLevel = 4 → LoAlert = 0

9.3.1.9 Status2Reg register

Contains status bits of the receiver, transmitter and data mode detector.

Table 37. Status2Reg register (address 08h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TempSensClear	I ² CForceHS	reserved		MFCrypto1On	ModemState[2:0]		
Access	R/W	R/W	-		D	R		

Table 38. Status2Reg register bit descriptions

Bit	Symbol	Value	Description
7	TempSensClear	1	clears the temperature error if the temperature is below the alarm limit of 125 °C
6	I ² CForceHS	1	the I ² C-bus input filter is set to the High-speed mode independent of the I ² C-bus protocol
		0	the I ² C-bus input filter is set to the I ² C-bus protocol used
5 to 4	reserved	-	reserved
3	MFCrypto1On	-	indicates that the MIFARE Crypto1 unit is switched on and therefore all data communication with the card is encrypted can only be set to logic 1 by a successful execution of the MFAuthent command only valid in Read/Write mode for MIFARE standard cards this bit is cleared by software
2 to 0	ModemState[2:0]	-	shows the state of the transmitter and receiver state machines:
		000	idle
		001	wait for the BitFramingReg register's StartSend bit
		010	TxWait: wait until RF field is present if the TModeReg register's TxWaitRF bit is set to logic 1 the minimum time for TxWait is defined by the TxWaitReg register
		011	transmitting
		100	RxWait: wait until RF field is present if the TModeReg register's TxWaitRF bit is set to logic 1 the minimum time for RxWait is defined by the RxWaitReg register
		101	wait for data
		110	receiving

9.3.1.10 FIFODataReg register

Input and output of 64 byte FIFO buffer.

Table 39. FIFODataReg register (address 09h); reset value: xxh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	FIFOData[7:0]							
Access	D							

Table 40. FIFODataReg register bit descriptions

Bit	Symbol	Description
7 to 0	FIFOData[7:0]	data input and output port for the internal 64-byte FIFO buffer FIFO buffer acts as parallel in/parallel out converter for all serial data stream inputs and outputs

9.3.1.11 FIFOLevelReg register

Indicates the number of bytes stored in the FIFO.

Table 41. FIFOLevelReg register (address 0Ah); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	FlushBuffer	FIFOLevel[6:0]						
Access	W	R						

Table 42. FIFOLevelReg register bit descriptions

Bit	Symbol	Value	Description
7	FlushBuffer	1	immediately clears the internal FIFO buffer's read and write pointer and ErrorReg register's BufferOvfl bit reading this bit always returns 0
6 to 0	FIFOLevel [6:0]	-	indicates the number of bytes stored in the FIFO buffer writing to the FIFODataReg register increments and reading decrements the FIFOLevel value

9.3.1.12 WaterLevelReg register

Defines the level for FIFO under- and overflow warning.

Table 43. WaterLevelReg register (address 0Bh); reset value: 08h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved		WaterLevel[5:0]					
Access	-		R/W					

Table 44. WaterLevelReg register bit descriptions

Bit	Symbol	Description
7 to 6	reserved	reserved for future use
5 to 0	WaterLevel [5:0]	<p>defines a warning level to indicate a FIFO buffer overflow or underflow:</p> <p>Status1Reg register's HiAlert bit is set to logic 1 if the remaining number of bytes in the FIFO buffer space is equal to, or less than the defined number of WaterLevel bytes</p> <p>Status1Reg register's LoAlert bit is set to logic 1 if equal to, or less than the WaterLevel bytes in the FIFO buffer</p> <p>Remark: to calculate values for HiAlert and LoAlert see Section 9.3.1.8 on page 40.</p>

9.3.1.13 ControlReg register

Miscellaneous control bits.

Table 45. ControlReg register (address 0Ch); reset value: 10h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TStopNow	TStartNow	reserved			RxLastBits[2:0]		
Access	W	W		-			R	

Table 46. ControlReg register bit descriptions

Bit	Symbol	Value	Description
7	TStopNow	1	timer stops immediately reading this bit always returns it to logic 0
6	TStartNow	1	timer starts immediately reading this bit always returns it to logic 0
5 to 3	reserved	-	reserved for future use
2 to 0	RxLastBits[2:0]	-	indicates the number of valid bits in the last received byte if this value is 000b, the whole byte is valid

9.3.1.14 BitFramingReg register

Adjustments for bit-oriented frames.

Table 47. BitFramingReg register (address 0Dh); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	StartSend	RxAlign[2:0]		reserved		TxLastBits[2:0]		
Access	W	R/W		-		R/W		

Table 48. BitFramingReg register bit descriptions

Bit	Symbol	Value	Description
7	StartSend	1	starts the transmission of data only valid in combination with the Transceive command
6 to 4	RxAlign[2:0]		used for reception of bit-oriented frames: defines the bit position for the first bit received to be stored in the FIFO buffer example:
		0	LSB of the received bit is stored at bit position 0, the second received bit is stored at bit position 1
		1	LSB of the received bit is stored at bit position 1, the second received bit is stored at bit position 2
		7	LSB of the received bit is stored at bit position 7, the second received bit is stored in the next byte that follows at bit position 0 These bits are only to be used for bitwise anticollision at 106 kBd, for all other modes they are set to 0
3	reserved	-	reserved for future use
2 to 0	TxLastBits[2:0]	-	used for transmission of bit oriented frames: defines the number of bits of the last byte that will be transmitted 000b indicates that all bits of the last byte will be transmitted

9.3.1.15 CollReg register

Defines the first bit-collision detected on the RF interface.

Table 49. CollReg register (address 0Eh); reset value: xxh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	ValuesAfterColl	reserved	CollPosNotValid	CollPos[4:0]				
Access	R/W	-	R	R				

Table 50. CollReg register bit descriptions

Bit	Symbol	Value	Description
7	ValuesAfterColl	0	all received bits will be cleared after a collision only used during bitwise anticollision at 106 kBd, otherwise it is set to logic 1
6	reserved	-	reserved for future use
5	CollPosNotValid	1	no collision detected or the position of the collision is out of the range of CollPos[4:0]

Table 50. CollReg register bit descriptions ...continued

Bit	Symbol	Value	Description
4 to 0	CollPos[4:0]	-	shows the bit position of the first detected collision in a received frame only data bits are interpreted example:
		00h	indicates a bit-collision in the 32 nd bit
		01h	indicates a bit-collision in the 1 st bit
		08h	indicates a bit-collision in the 8 th bit
			These bits will only be interpreted if the CollPosNotValid bit is set to logic 0

9.3.1.16 Reserved register 0Fh

Functionality is reserved for future use.

Table 51. Reserved register (address 0Fh); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved							
Access	-							

Table 52. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for future use

9.3.2 Page 1: Communication**9.3.2.1 Reserved register 10h**

Functionality is reserved for future use.

Table 53. Reserved register (address 10h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved							
Access	-							

Table 54. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for future use

9.3.2.2 ModeReg register

Defines general mode settings for transmitting and receiving.

Table 55. ModeReg register (address 11h); reset value: 3Fh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	MSBFirst	reserved	TxWaitRF	reserved	PolMFin	reserved	CRCPreset[1:0]	
Access	R/W	-	R/W	-	R/W	-	R/W	

Table 56. ModeReg register bit descriptions

Bit	Symbol	Value	Description
7	MSBFirst	1	CRC coprocessor calculates the CRC with MSB first in the CRCResultReg register the values for the CRCResultMSB[7:0] bits and the CRCResultLSB[7:0] bits are bit reversed Remark: during RF communication this bit is ignored
6	reserved	-	reserved for future use
5	TxWaitRF	1	transmitter can only be started if an RF field is generated
4	reserved	-	reserved for future use
3	PolMFin		defines the polarity of pin MFIN Remark: the internal envelope signal is encoded active LOW, changing this bit generates a MFinActIRq event
		1	polarity of pin MFIN is active HIGH
		0	polarity of pin MFIN is active LOW
2	reserved	-	reserved for future use
1 to 0	CRCPreset [1:0]		defines the preset value for the CRC coprocessor for the CalcCRC command Remark: during any communication, the preset values are selected automatically according to the definition of bits in the RxModeReg and TxModeReg registers
		00	0000h
		01	6363h
		10	A671h
		11	FFFFh

9.3.2.3 TxModeReg register

Defines the data rate during transmission.

Table 57. TxModeReg register (address 12h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TxCRCEn	TxSpeed[2:0]			InvMod	reserved		
Access	R/W	D			R/W	-		

Table 58. TxModeReg register bit descriptions

Bit	Symbol	Value	Description
7	TxCRCEn	1	enables CRC generation during data transmission Remark: can only be set to logic 0 at 106 kBd
6 to 4	TxSpeed[2:0]		defines the bit rate during data transmission the MFRC522 handles transfer speeds up to 848 kBd
		000	106 kBd
		001	212 kBd
		010	424 kBd
		011	848 kBd
		100	reserved
		101	reserved
		110	reserved
		111	reserved
3	InvMod	1	modulation of transmitted data is inverted
2 to 0	reserved	-	reserved for future use

9.3.2.4 RxModeReg register

Defines the data rate during reception.

Table 59. RxModeReg register (address 13h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	RxCRCEn	RxSpeed[2:0]			RxNoErr	RxMultiple	reserved	
Access	R/W	D			R/W	R/W	-	

Table 60. RxModeReg register bit descriptions

Bit	Symbol	Value	Description
7	RxCRCEn	1	enables the CRC calculation during reception Remark: can only be set to logic 0 at 106 kBd
6 to 4	RxSpeed[2:0]		defines the bit rate while receiving data the MFRC522 handles transfer speeds up to 848 kBd
		000	106 kBd
		001	212 kBd
		010	424 kBd
		011	848 kBd
		100	reserved
		101	reserved
		110	reserved
		111	reserved
3	RxNoErr	1	an invalid received data stream (less than 4 bits received) will be ignored and the receiver remains active

Table 60. RxModeReg register bit descriptions ...continued

Bit	Symbol	Value	Description
2	RxMultiple	0	receiver is deactivated after receiving a data frame
		1	able to receive more than one data frame only valid for data rates above 106 kBd in order to handle the polling command after setting this bit the Receive and Transceive commands will not terminate automatically. Multiple reception can only be deactivated by writing any command (except the Receive command) to the CommandReg register, or by the host clearing the bit if set to logic 1, an error byte is added to the FIFO buffer at the end of a received data stream which is a copy of the ErrorReg register value
1 to 0	reserved	-	reserved for future use

9.3.2.5 TxControlReg register

Controls the logical behavior of the antenna driver pins TX1 and TX2.

Table 61. TxControlReg register (address 14h); reset value: 80h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	InvTx2RF On	InvTx1RF On	InvTx2RF Off	InvTx1RF Off	Tx2CW	reserved	Tx2RFEn	Tx1RFEn
Access	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W

Table 62. TxControlReg register bit descriptions

Bit	Symbol	Value	Description
7	InvTx2RFOn	1	output signal on pin TX2 inverted when driver TX2 is enabled
6	InvTx1RFOn	1	output signal on pin TX1 inverted when driver TX1 is enabled
5	InvTx2RFOff	1	output signal on pin TX2 inverted when driver TX2 is disabled
4	InvTx1RFOff	1	output signal on pin TX1 inverted when driver TX1 is disabled
3	Tx2CW	1	output signal on pin TX2 continuously delivers the unmodulated 13.56 MHz energy carrier
		0	Tx2CW bit is enabled to modulate the 13.56 MHz energy carrier
2	reserved	-	reserved for future use
1	Tx2RFEn	1	output signal on pin TX2 delivers the 13.56 MHz energy carrier modulated by the transmission data
0	Tx1RFEn	1	output signal on pin TX1 delivers the 13.56 MHz energy carrier modulated by the transmission data

9.3.2.6 TxASKReg register

Controls transmit modulation settings.

Table 63. TxASKReg register (address 15h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved	Force100ASK	reserved					
Access	-	R/W	-					

Table 64. TxASKReg register bit descriptions

Bit	Symbol	Value	Description
7	reserved	-	reserved for future use
6	Force100ASK	1	forces a 100 % ASK modulation independent of the ModGsPReg register setting
5 to 0	reserved	-	reserved for future use

9.3.2.7 TxSelReg register

Selects the internal sources for the analog module.

Table 65. TxSelReg register (address 16h); reset value: 10h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol:	reserved		DriverSel[1:0]		MFOutSel[3:0]			
Access:	-		R/W		R/W			

Table 66. TxSelReg register bit descriptions

Bit	Symbol	Value	Description
7 to 6	reserved	-	reserved for future use
5 to 4	DriverSel [1:0]	-	selects the input of drivers TX1 and TX2
		00	3-state; in soft power-down the drivers are only in 3-state mode if the DriverSel[1:0] value is set to 3-state mode
		01	modulation signal (envelope) from the internal encoder, Miller pulse encoded
		10	modulation signal (envelope) from pin MFIN
		11	HIGH; the HIGH level depends on the setting of bits InvTx1RFOOn/InvTx1RFOff and InvTx2RFOOn/InvTx2RFOff

Table 66. TxSelReg register bit descriptions ...continued

Bit	Symbol	Value	Description
3 to 0	MFOutSel [3:0]		selects the input for pin MFOUT
		0000	3-state
		0001	LOW
		0010	HIGH
		0011	test bus signal as defined by the TestSel1Reg register's TstBusBitSel[2:0] value
		0100	modulation signal (envelope) from the internal encoder, Miller pulse encoded
		0101	serial data stream to be transmitted, data stream before Miller encoder
		0110	reserved
		0111	serial data stream received, data stream after Manchester decoder
		1000 to 1111	

9.3.2.8 RxSelReg register

Selects internal receiver settings.

Table 67. RxSelReg register (address 17h); reset value: 84h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	UARTSel[1:0]				RxWait[5:0]			
Access	R/W				R/W			

Table 68. RxSelReg register bit descriptions

Bit	Symbol	Value	Description
7 to 6	UARTSel [1:0]		selects the input of the contactless UART
		00	constant LOW
		01	Manchester with subcarrier from pin MFIN
		10	modulated signal from the internal analog module, default
		11	NRZ coding without subcarrier from pin MFIN which is only valid for transfer speeds above 106 kBd
5 to 0	RxWait [5:0]	-	after data transmission the activation of the receiver is delayed for RxWait bit-clocks, during this 'frame guard time' any signal on pin RX is ignored this parameter is ignored by the Receive command all other commands, such as Transceive, MFAuthent use this parameter the counter starts immediately after the external RF field is switched on

9.3.2.9 RxThresholdReg register

Selects thresholds for the bit decoder.

Table 69. RxThresholdReg register (address 18h); reset value: 84h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	MinLevel[3:0]			reserved		CollLevel[2:0]		
Access	R/W			-		R/W		

Table 70. RxThresholdReg register bit descriptions

Bit	Symbol	Description
7 to 4	MinLevel [3:0]	defines the minimum signal strength at the decoder input that will be accepted if the signal strength is below this level it is not evaluated
3	reserved	reserved for future use
2 to 0	CollLevel [2:0]	defines the minimum signal strength at the decoder input that must be reached by the weaker half-bit of the Manchester encoded signal to generate a bit-collision relative to the amplitude of the stronger half-bit

9.3.2.10 DemodReg register

Defines demodulator settings.

Table 71. DemodReg register (address 19h); reset value: 4Dh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	AddIQ[1:0]		FixIQ	TPrescal Even	TauRcv[1:0]		TauSync[1:0]	
Access	R/W		R/W	R/W	R/W		R/W	

Table 72. DemodReg register bit descriptions

Bit	Symbol	Value	Description
7 to 6	AddIQ [1:0]	-	defines the use of I and Q channel during reception Remark: the FixIQ bit must be set to logic 0 to enable the following settings:
		00	selects the stronger channel
		01	selects the stronger channel and freezes the selected channel during communication
		10	reserved
		11	reserved
5	FixIQ	1	if AddIQ[1:0] are set to X0b, the reception is fixed to I channel if AddIQ[1:0] are set to X1b, the reception is fixed to Q channel

Table 72. DemodReg register bit descriptions ...continued

Bit	Symbol	Value	Description
4	TPrescalEven	R/W	If set to logic 0 the following formula is used to calculate the timer frequency of the prescaler: $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 1).$ If set to logic 1 the following formula is used to calculate the timer frequency of the prescaler: $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 2).$ (Default TPrescalEven bit is logic 0)
3 to 2	TauRcv[1:0]	-	changes the time-constant of the internal PLL during data reception Remark: if set to 00b the PLL is frozen during data reception
1 to 0	TauSync[1:0]	-	changes the time-constant of the internal PLL during burst

9.3.2.11 Reserved register 1Ah

Functionality is reserved for future use.

Table 73. Reserved register (address 1Ah); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved							
Access	-							

Table 74. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for future use

9.3.2.12 Reserved register 1Bh

Functionality is reserved for future use.

Table 75. Reserved register (address 1Bh); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved							
Access	-							

Table 76. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for future use

9.3.2.13 MfTxReg register

Controls some MIFARE communication transmit parameters.

Table 77. MfTxReg register (address 1Ch); reset value: 62h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved						TxWait[1:0]	
Access	-						R/W	

Table 78. MfTxReg register bit descriptions

Bit	Symbol	Description
7 to 2	reserved	reserved for future use
1 to 0	TxWait	defines the additional response time 7 bits are added to the value of the register bit by default

9.3.2.14 MfRxReg register

Table 79. MfRxReg register (address 1Dh); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved			ParityDisable	reserved			
Access	-			R/W	-			

Table 80. MfRxReg register bit descriptions

Bit	Symbol	Value	Description
7 to 5	reserved	-	reserved for future use
4	ParityDisable	1	generation of the parity bit for transmission and the parity check for receiving is switched off the received parity bit is handled like a data bit
3 to 0	reserved	-	reserved for future use

9.3.2.15 Reserved register 1Eh

Functionality is reserved for future use.

Table 81. Reserved register (address 1Eh); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved							
Access	-							

Table 82. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for future use

9.3.2.16 SerialSpeedReg register

Selects the speed of the serial UART interface.

Table 83. SerialSpeedReg register (address 1Fh); reset value: EBh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	BR_T0[2:0]			BR_T1[4:0]				
Access	R/W			R/W				

Table 84. SerialSpeedReg register bit descriptions

Bit	Symbol	Description
7 to 5	BR_T0[2:0]	factor BR_T0 adjusts the transfer speed: for description, see Section 8.1.3.2 on page 11
4 to 0	BR_T1[4:0]	factor BR_T1 adjusts the transfer speed: for description, see Section 8.1.3.2 on page 11

9.3.3 Page 2: Configuration

9.3.3.1 Reserved register 20h

Functionality is reserved for future use.

Table 85. Reserved register (address 20h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	-							
Access	reserved							

Table 86. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for future use

9.3.3.2 CRCResultReg registers

Shows the MSB and LSB values of the CRC calculation.

Remark: The CRC is split into two 8-bit registers.

Table 87. CRCResultReg (higher bits) register (address 21h); reset value: FFh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	CRCResultMSB[7:0]							
Access	R							

Table 88. CRCResultReg register higher bit descriptions

Bit	Symbol	Description
7 to 0	CRCResultMSB [7:0]	shows the value of the CRCResultReg register's most significant byte only valid if Status1Reg register's CRCReady bit is set to logic 1

Table 89. CRCResultReg (lower bits) register (address 22h); reset value: FFh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	CRCResultLSB[7:0]							
Access	R							

Table 90. CRCResultReg register lower bit descriptions

Bit	Symbol	Description
7 to 0	CRCResultLSB [7:0]	shows the value of the least significant byte of the CRCResultReg register only valid if Status1Reg register's CRCReady bit is set to logic 1

9.3.3.3 Reserved register 23h

Functionality is reserved for future use.

Table 91. Reserved register (address 23h); reset value: 88h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved							
Access	-							

Table 92. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for future use

9.3.3.4 ModWidthReg register

Sets the modulation width.

Table 93. ModWidthReg register (address 24h); reset value: 26h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	ModWidth[7:0]							
Access	R/W							

Table 94. ModWidthReg register bit descriptions

Bit	Symbol	Description
7 to 0	ModWidth[7:0]	defines the width of the Miller modulation as multiples of the carrier frequency ($\text{ModWidth} + 1 / f_{\text{clk}}$) the maximum value is half the bit period

9.3.3.5 Reserved register 25h

Functionality is reserved for future use.

Table 95. Reserved register (address 25h); reset value: 87h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved							
Access	-							

Table 96. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for future use

9.3.3.6 RFCfgReg register

Configures the receiver gain.

Table 97. RFCfgReg register (address 26h); reset value: 48h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved	RxGain[2:0]			reserved			
Access	-	R/W			-			

Table 98. RFCfgReg register bit descriptions

Bit	Symbol	Value	Description
7	reserved	-	reserved for future use
6 to 4	RxGain [2:0]		defines the receiver's signal voltage gain factor:
		000	18 dB
		001	23 dB
		010	18 dB
		011	23 dB
		100	33 dB
		101	38 dB
		110	43 dB
		111	48 dB
3 to 0	reserved	-	reserved for future use

9.3.3.7 GsNReg register

Defines the conductance of the antenna driver pins TX1 and TX2 for the n-driver when the driver is switched on.

Table 99. GsNReg register (address 27h); reset value: 88h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	CWGsN[3:0]			ModGsN[3:0]				
Access	R/W			R/W				

Table 100. GsNReg register bit descriptions

Bit	Symbol	Description
7 to 4	CWGsn [3:0]	<p>defines the conductance of the output n-driver during periods without modulation which can be used to regulate the output power and subsequently current consumption and operating distance</p> <p>Remark: the conductance value is binary-weighted during soft Power-down mode the highest bit is forced to logic 1 value is only used if driver TX1 or TX2 is switched on</p>
3 to 0	ModGsN [3:0]	<p>defines the conductance of the output n-driver during periods without modulation which can be used to regulate the modulation index</p> <p>Remark: the conductance value is binary weighted during soft Power-down mode the highest bit is forced to logic 1 value is only used if driver TX1 or TX2 is switched on</p>

9.3.3.8 CWGsPReg register

Defines the conductance of the p-driver output during periods of no modulation.

Table 101. CWGsPReg register (address 28h); reset value: 20h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved		CWGsP[5:0]					
Access	-		R/W					

Table 102. CWGsPReg register bit descriptions

Bit	Symbol	Description
7 to 6	reserved	reserved for future use
5 to 0	CWGsP[5:0]	defines the conductance of the p-driver output which can be used to regulate the output power and subsequently current consumption and operating distance Remark: the conductance value is binary weighted during soft Power-down mode the highest bit is forced to logic 1

9.3.3.9 ModGsPReg register

Defines the conductance of the p-driver output during modulation.

Table 103. ModGsPReg register (address 29h); reset value: 20h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved		ModGsP[5:0]					
Access	-		R/W					

Table 104. ModGsPReg register bit descriptions

Bit	Symbol	Description
7 to 6	reserved	reserved for future use
5 to 0	ModGsP[5:0]	defines the conductance of the p-driver output during modulation which can be used to regulate the modulation index Remark: the conductance value is binary weighted during soft Power-down mode the highest bit is forced to logic 1 if the TxASKReg register's Force100ASK bit is set to logic 1 the value of ModGsP has no effect

9.3.3.10 TModeReg and TPrescalerReg registers

These registers define the timer settings.

Remark: The TPrescaler setting higher 4 bits are in the TModeReg register and the lower 8 bits are in the TPrescalerReg register.

Table 105. TModeReg register (address 2Ah); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TAuto	TGated[1:0]	TAutoRestart	TPrescaler_Hi[3:0]				
Access	R/W	R/W	R/W	R/W				

Table 106. TModeReg register bit descriptions

Bit	Symbol	Value	Description
7	TAuto	1	timer starts automatically at the end of the transmission in all communication modes at all speeds if the RxModeReg register's RxMultiple bit is not set, the timer stops immediately after receiving the 5th bit (1 start bit, 4 data bits) if the RxMultiple bit is set to logic 1 the timer never stops, in which case the timer can be stopped by setting the ControlReg register's TStopNow bit to logic 1
		0	indicates that the timer is not influenced by the protocol
6 to 5	TGated[1:0]		internal timer is running in gated mode Remark: in gated mode, the Status1Reg register's TRunning bit is logic 1 when the timer is enabled by the TModeReg register's TGated[1:0] bits this bit does not influence the gating signal
		00	non-gated mode
		01	gated by pin MFIN
		10	gated by pin AUX1
		11	-
4	TAutoRestart	1	timer automatically restarts its count-down from the 16-bit timer reload value instead of counting down to zero
		0	timer decrements to 0 and the ComlRqReg register's TimerIRq bit is set to logic 1
3 to 0	TPrescaler_Hi[3:0]	-	defines the higher 4 bits of the TPrescaler value The following formula is used to calculate the timer frequency if the DemodReg register's TPrescalEven bit in Demot Regis set to logic 0: $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 1)$. Where TPreScaler = [TPrescaler_Hi:TPrescaler_Lo] (TPrescaler value on 12 bits) (Default TPrescalEven bit is logic 0) The following formula is used to calculate the timer frequency if the DemodReg register's TPrescalEven bit is set to logic 1: $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 2)$. See Section 8.5 "Timer unit" .

Table 107. TPrescalerReg register (address 2Bh); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TPrescaler_Lo[7:0]							
Access	R/W							

Table 108. TPrescalerReg register bit descriptions

Bit	Symbol	Description
7 to 0	TPrescaler_Lo[7:0]	<p>defines the lower 8 bits of the TPrescaler value</p> <p>The following formula is used to calculate the timer frequency if the DemodReg register's TPrescalEven bit is set to logic 0:</p> $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 1).$ <p>Where TPreScaler = [TPrescaler_Hi:TPrescaler_Lo] (TPrescaler value on 12 bits) (Default TPrescalEven bit is logic 0)</p> <p>The following formula is used to calculate the timer frequency if the DemodReg register's TPrescalEven bit in DemoReg is set to logic 1:</p> $f_{\text{timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 2).$ <p>See Section 8.5 "Timer unit".</p>

9.3.3.11 TReloadReg register

Defines the 16-bit timer reload value.

Remark: The reload value bits are contained in two 8-bit registers.

Table 109. TReloadReg (higher bits) register (address 2Ch); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TReloadVal_Hi[7:0]							
Access	R/W							

Table 110. TReloadReg register higher bit descriptions

Bit	Symbol	Description
7 to 0	TReloadVal_Hi[7:0]	<p>defines the higher 8 bits of the 16-bit timer reload value</p> <p>on a start event, the timer loads the timer reload value</p> <p>changing this register affects the timer only at the next start event</p>

Table 111. TReloadReg (lower bits) register (address 2Dh); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TReloadVal_Lo[7:0]							
Access	R/W							

Table 112. TReloadReg register lower bit descriptions

Bit	Symbol	Description
7 to 0	TReloadVal_Lo[7:0]	<p>defines the lower 8 bits of the 16-bit timer reload value</p> <p>on a start event, the timer loads the timer reload value</p> <p>changing this register affects the timer only at the next start event</p>

9.3.3.12 TCounterValReg register

Contains the timer value.

Remark: The timer value bits are contained in two 8-bit registers.

Table 113. TCounterValReg (higher bits) register (address 2Eh); reset value: xxh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TCounterVal_Hi[7:0]							
Access	R							

Table 114. TCounterValReg register higher bit descriptions

Bit	Symbol	Description
7 to 0	TCounterVal_Hi [7:0]	timer value higher 8 bits

Table 115. TCounterValReg (lower bits) register (address 2Fh); reset value: xxh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TCounterVal_Lo[7:0]							
Access	R							

Table 116. TCounterValReg register lower bit descriptions

Bit	Symbol	Description
7 to 0	TCounterVal_Lo [7:0]	timer value lower 8 bits

9.3.4 Page 3: Test

9.3.4.1 Reserved register 30h

Functionality is reserved for future use.

Table 117. Reserved register (address 30h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved							
Access	-							

Table 118. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for future use

9.3.4.2 TestSel1Reg register

General test signal configuration.

Table 119. TestSel1Reg register (address 31h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved					TstBusBitSel[2:0]		
Access	-					R/W		

Table 120. TestSel1Reg register bit descriptions

Bit	Symbol	Description
7 to 3	reserved	reserved for future use
2 to 0	TstBusBitSel [2:0]	selects a test bus signal which is output at pin MFOUT if AnalogSelAux2[3:0] = FFh in AnalogTestReg register, test bus signal is also output at pins AUX1 or AUX2

9.3.4.3 TestSel2Reg register

General test signal configuration and PRBS control.

Table 121. TestSel2Reg register (address 32h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TstBusFlip	PRBS9	PRBS15	TestBusSel[4:0]				
Access	R/W	R/W	R/W	R/W				

Table 122. TestSel2Reg register bit descriptions

Bit	Symbol	Value	Description
7	TstBusFlip	1	test bus is mapped to the parallel port in the following order: TstBusBit4, TstBusBit3, TstBusBit2, TstBusBit6, TstBusBit5, TstBusBit0; see Section 16.1 on page 79
6	PRBS9	-	starts and enables the PRBS9 sequence according to ITU-TO150 Remark: all relevant registers to transmit data must be configured before entering PRBS9 mode the data transmission of the defined sequence is started by the Transmit command
5	PRBS15	-	starts and enables the PRBS15 sequence according to ITU-TO150 Remark: all relevant registers to transmit data must be configured before entering PRBS15 mode the data transmission of the defined sequence is started by the Transmit command
4 to 0	TestBusSel[4:0]	-	selects the test bus; see Section 16.1 “Test signals”

9.3.4.4 TestPinEnReg register

Enables the test bus pin output driver.

Table 123. TestPinEnReg register (address 33h); reset value: 80h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	RS232LineEn	TestPinEn[5:0]					reserved	
Access	R/W	R/W					-	

Table 124. TestPinEnReg register bit descriptions

Bit	Symbol	Value	Description
7	RS232LineEn	0	serial UART lines MX and DTRQ are disabled
6 to 1	TestPinEn [5:0]	-	enables the output driver on one of the data pins D1 to D7 which outputs a test signal Example: setting bit 1 to logic 1 enables pin D1 output setting bit 5 to logic 1 enables pin D5 output Remark: If the SPI is used, only pins D1 to D4 can be used. If the serial UART interface is used and the RS232LineEn bit is set to logic 1 only pins D1 to D4 can be used.
0	reserved	-	reserved for future use

9.3.4.5 TestPinValueReg register

Defines the HIGH and LOW values for the test port D1 to D7 when it is used as I/O.

Table 125. TestPinValueReg register (address 34h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	UseIO	TestPinValue[5:0]						reserved
Access	R/W	R/W						-

Table 126. TestPinValueReg register bit descriptions

Bit	Symbol	Value	Description
7	UseIO	1	enables the I/O functionality for the test port when one of the serial interfaces is used the input/output behavior is defined by value TestPinEn[5:0] in the TestPinEnReg register the value for the output behavior is defined by TestPinValue[5:0]
6 to 1	TestPinValue [5:0]	-	defines the value of the test port when it is used as I/O and each output must be enabled by TestPinEn[5:0] in the TestPinEnReg register Remark: Reading the register indicates the status of pins D6 to D1 if the UseIO bit is set to logic 1. If the UseIO bit is set to logic 0, the value of the TestPinValueReg register is read back.
0	reserved	-	reserved for future use

9.3.4.6 TestBusReg register

Shows the status of the internal test bus.

Table 127. TestBusReg register (address 35h); reset value: xxh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	TestBus[7:0]							
Access	R							

Table 128. TestBusReg register bit descriptions

Bit	Symbol	Description
7 to 0	TestBus[7:0]	shows the status of the internal test bus the test bus is selected using the TestSel2Reg register; see Section 16.1 on page 79

9.3.4.7 AutoTestReg register

Controls the digital self-test.

Table 129. AutoTestReg register (address 36h); reset value: 40h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved	AmpRcv	RFT		SelfTest[3:0]			
Access	-	R/W	-		R/W			

Table 130. AutoTestReg register bit descriptions

Bit	Symbol	Value	Description
7	reserved	-	reserved for production tests
6	AmpRcv	1	internal signal processing in the receiver chain is performed non-linearly which increases the operating distance in communication modes at 106 kBd Remark: due to non-linearity, the effect of the RxThresholdReg register's MinLevel[3:0] and the CollLevel[2:0] values is also non-linear
5 to 4	RFT	-	reserved for production tests
3 to 0	SelfTest[3:0]	-	enables the digital self test the self test can also be started by the CalcCRC command; see Section 10.3.1.4 on page 68 the self test is enabled by value 1001b Remark: for default operation the self test must be disabled by value 0000b

9.3.4.8 VersionReg register

Shows the MFRC522 software version.

Table 131. VersionReg register (address 37h); reset value: xxh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	Version[7:0]							
Access	R							

Table 132. VersionReg register bit descriptions

Bit	Symbol	Description
7 to 0	Version[7:0]	indicates current software version of the MFRC522 Remark: the current version of the MFRC522 is 90h, 91h or 92h

9.3.4.9 AnalogTestReg register

Determines the analog output test signal at, and status of, pins AUX1 and AUX2.

Table 133. AnalogTestReg register (address 38h); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	AnalogSelAux1[3:0]				AnalogSelAux2[3:0]			
Access	R/W				R/W			

Table 134. AnalogTestReg register bit descriptions

Bit	Symbol	Value	Description
7 to 4	AnalogSelAux1 [3:0]		controls pin AUX1
		0000	3-state
		0001	output of TestDAC1 (AUX1), output of TestDAC2 (AUX2) ^[1]
		0010	test signal Corr1 ^[1]
		0011	reserved
		0100	DAC: test signal MinLevel ^[1]
		0101	DAC: test signal ADC_I ^[1]
		0110	DAC: test signal ADC_Q ^[1]
		0111	reserved
		1000	reserved, test signal for production test ^[1]
		1001	reserved
		1010	HIGH
		1011	LOW
		1100	TxActive: at 106 kBd: HIGH during Start bit, Data bit, Parity and CRC at 212 kBd: 424 kBd and 848 kBd: HIGH during data and CRC
		1101	RxActive: at 106 kBd: HIGH during Data bit, Parity and CRC at 212 kBd: 424 kBd and 848 kBd: HIGH during data and CRC
		1110	subcarrier detected: 106 kBd: not applicable 212 kBd: 424 kBd and 848 kBd: HIGH during last part of data and CRC
		1111	test bus bit as defined by the TestSel1Reg register's TstBusBitSel[2:0] bits Remark: all test signals are described in Section 16.1 on page 79
3 to 0	AnalogSelAux2 [3:0]	-	controls pin AUX2 (see bit descriptions for AUX1)

[1] **Remark:** Current source output; the use of 1 kΩ pull-down resistor on AUXn is recommended.

9.3.4.10 TestDAC1Reg register

Defines the test value for TestDAC1.

Table 135. TestDAC1Reg register (address 39h); reset value: xxh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved		TestDAC1[5:0]					
Access	-		R/W					

Table 136. TestDAC1Reg register bit descriptions

Bit	Symbol	Description
7	reserved	reserved for production tests
6	reserved	reserved for future use
5 to 0	TestDAC1[5:0]	defines the test value for TestDAC1 output of DAC1 can be routed to AUX1 by setting value AnalogSelAux1[3:0] to 0001b in the AnalogTestReg register

9.3.4.11 TestDAC2Reg register

Defines the test value for TestDAC2.

Table 137. TestDAC2Reg register (address 3Ah); reset value: xxh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	reserved		TestDAC2[5:0]					
Access	-		R/W					

Table 138. TestDAC2Reg register bit descriptions

Bit	Symbol	Description
7 to 6	reserved	reserved for future use
5 to 0	TestDAC2[5:0]	defines the test value for TestDAC2 output of DAC2 can be routed to AUX2 by setting value AnalogSelAux2[3:0] to 0001b in the AnalogTestReg register

9.3.4.12 TestADCReg register

Shows the values of ADC I and Q channels.

Table 139. TestADCReg register (address 3Bh); reset value: xxh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol	ADC_I[3:0]				ADC_Q[3:0]			
Access	R				R			

Table 140. TestADCReg register bit descriptions

Bit	Symbol	Description
7 to 4	ADC_I[3:0]	ADC I channel value
3 to 0	ADC_Q[3:0]	ADC Q channel value

9.3.4.13 Reserved register 3Ch

Functionality reserved for production test.

Table 141. Reserved register (address 3Ch); reset value: FFh bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol					RFT			
Access					-			

Table 142. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for production tests

Table 143. Reserved register (address 3Dh); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol					RFT			
Access					-			

Table 144. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for production tests

Table 145. Reserved register (address 3Eh); reset value: 03h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol					RFT			
Access					-			

Table 146. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for production tests

Table 147. Reserved register (address 3Fh); reset value: 00h bit allocation

Bit	7	6	5	4	3	2	1	0
Symbol					reserved			
Access					-			

Table 148. Reserved register bit descriptions

Bit	Symbol	Description
7 to 0	reserved	reserved for production tests

10. MFRC522 command set

10.1 General description

The MFRC522 operation is determined by a state machine capable of performing a set of commands. A command is executed by writing a command code (see [Table 149](#)) to the CommandReg register.

Arguments and/or data necessary to process a command are exchanged via the FIFO buffer.

10.2 General behavior

- Each command that needs a data bit stream (or data byte stream) as an input immediately processes any data in the FIFO buffer. An exception to this rule is the Transceive command. Using this command, transmission is started with the BitFramingReg register's StartSend bit.
- Each command that needs a certain number of arguments, starts processing only when it has received the correct number of arguments from the FIFO buffer.
- The FIFO buffer is not automatically cleared when commands start. This makes it possible to write command arguments and/or the data bytes to the FIFO buffer and then start the command.
- Each command can be interrupted by the host writing a new command code to the CommandReg register, for example, the Idle command.

10.3 MFRC522 command overview

Table 149. Command overview

Command	Command code	Action
Idle	0000	no action, cancels current command execution
Mem	0001	stores 25 bytes into the internal buffer
Generate RandomID	0010	generates a 10-byte random ID number
CalcCRC	0011	activates the CRC coprocessor or performs a self test
Transmit	0100	transmits data from the FIFO buffer
NoCmdChange	0111	no command change, can be used to modify the CommandReg register bits without affecting the command, for example, the PowerDown bit
Receive	1000	activates the receiver circuits
Transceive	1100	transmits data from FIFO buffer to antenna and automatically activates the receiver after transmission
-	1101	reserved for future use
MFAuthent	1110	performs the MIFARE standard authentication as a reader
SoftReset	1111	resets the MFRC522

10.3.1 MFRC522 command descriptions

10.3.1.1 Idle

Places the MFRC522 in Idle mode. The Idle command also terminates itself.

10.3.1.2 Mem

Transfers 25 bytes from the FIFO buffer to the internal buffer.

To read out the 25 bytes from the internal buffer the Mem command must be started with an empty FIFO buffer. In this case, the 25 bytes are transferred from the internal buffer to the FIFO.

During a hard power-down (using pin NRSTPD), the 25 bytes in the internal buffer remain unchanged and are only lost if the power supply is removed from the MFRC522.

This command automatically terminates when finished and the Idle command becomes active.

10.3.1.3 Generate RandomID

This command generates a 10-byte random number which is initially stored in the internal buffer. This then overwrites the 10 bytes in the internal 25-byte buffer. This command automatically terminates when finished and the MFRC522 returns to Idle mode.

10.3.1.4 CalcCRC

The FIFO buffer content is transferred to the CRC coprocessor and the CRC calculation is started. The calculation result is stored in the CRCResultReg register. The CRC calculation is not limited to a dedicated number of bytes. The calculation is not stopped when the FIFO buffer is empty during the data stream. The next byte written to the FIFO buffer is added to the calculation.

The CRC preset value is controlled by the ModeReg register's CRCPreset[1:0] bits. The value is loaded in to the CRC coprocessor when the command starts.

This command must be terminated by writing a command to the CommandReg register, such as, the Idle command.

If the AutoTestReg register's SelfTest[3:0] bits are set correctly, the MFRC522 enters Self Test mode. Starting the CalcCRC command initiates a digital self test. The result of the self test is written to the FIFO buffer.

10.3.1.5 Transmit

The FIFO buffer content is immediately transmitted after starting this command. Before transmitting the FIFO buffer content, all relevant registers must be set for data transmission.

This command automatically terminates when the FIFO buffer is empty. It can be terminated by another command written to the CommandReg register.

10.3.1.6 NoCmdChange

This command does not influence any running command in the CommandReg register. It can be used to manipulate any bit except the CommandReg register Command[3:0] bits, for example, the RcvOff bit or the PowerDown bit.

10.3.1.7 Receive

The MFRC522 activates the receiver path and waits for a data stream to be received. The correct settings must be chosen before starting this command.

This command automatically terminates when the data stream ends. This is indicated either by the end of frame pattern or by the length byte depending on the selected frame type and speed.

Remark: If the RxModeReg register's RxMultiple bit is set to logic 1, the Receive command will not automatically terminate. It must be terminated by starting another command in the CommandReg register.

10.3.1.8 Transceive

This command continuously repeats the transmission of data from the FIFO buffer and the reception of data from the RF field. The first action is transmit and after transmission the command is changed to receive a data stream.

Each transmit process must be started by setting the BitFramingReg register's StartSend bit to logic 1. This command must be cleared by writing any command to the CommandReg register.

Remark: If the RxModeReg register's RxMultiple bit is set to logic 1, the Transceive command never leaves the receive state because this state cannot be cancelled automatically.

10.3.1.9 MFAuthent

This command manages MIFARE authentication to enable a secure communication to any MIFARE Mini, MIFARE 1K and MIFARE 4K card. The following data is written to the FIFO buffer before the command can be activated:

- Authentication command code (60h, 61h)
- Block address
- Sector key byte 0
- Sector key byte 1
- Sector key byte 2
- Sector key byte 3
- Sector key byte 4
- Sector key byte 5
- Card serial number byte 0
- Card serial number byte 1
- Card serial number byte 2
- Card serial number byte 3

In total 12 bytes are written to the FIFO.

Remark: When the MFAuthent command is active all access to the FIFO buffer is blocked. However, if there is access to the FIFO buffer, the ErrorReg register's WrErr bit is set.

This command automatically terminates when the MIFARE card is authenticated and the Status2Reg register's MFCrypto1On bit is set to logic 1.

This command does not terminate automatically if the card does not answer, so the timer must be initialized to automatic mode. In this case, in addition to the IdleIRq bit, the TimerIRq bit can be used as the termination criteria. During authentication processing, the RxIRq bit and TxIRq bit are blocked. The Crypto1On bit is only valid after termination of the MFAuthent command, either after processing the protocol or writing Idle to the CommandReg register.

If an error occurs during authentication, the ErrorReg register's ProtocolErr bit is set to logic 1 and the Status2Reg register's Crypto1On bit is set to logic 0.

10.3.1.10 SoftReset

This command performs a reset of the device. The configuration data of the internal buffer remains unchanged. All registers are set to the reset values. This command automatically terminates when finished.

Remark: The SerialSpeedReg register is reset and therefore the serial data rate is set to 9.6 kBd.

11. Limiting values

Table 150. Limiting values

In accordance with the Absolute Maximum Rating System (IEC 60134).

Symbol	Parameter	Conditions	Min	Max	Unit
V _{DDA}	analog supply voltage		-0.5	+4.0	V
V _{DDD}	digital supply voltage		-0.5	+4.0	V
V _{DD(PVDD)}	PVDD supply voltage		-0.5	+4.0	V
V _{DD(TVDD)}	TVDD supply voltage		-0.5	+4.0	V
V _{DD(SVDD)}	SVDD supply voltage		-0.5	+4.0	V
V _i	input voltage	all input pins except pins MFIN and RX	V _{SS(PVSS)} - 0.5	V _{DD(PVDD)} + 0.5	V
		pin MFIN	V _{SS(PVSS)} - 0.5	V _{DD(SVDD)} + 0.5	V
P _{tot}	total power dissipation	per package; and V _{DDD} in shortcut mode	-	200	mW
T _j	junction temperature		-	100	°C
V _{ESD}	electrostatic discharge voltage	HBM; 1500 Ω, 100 pF; JESD22-A114-B	-	2000	V
		MM; 0.75 μH, 200 pF; JESD22-A114-A	-	200	V

12. Recommended operating conditions

Table 151. Operating conditions

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{DDA}	analog supply voltage	V _{DD(PVDD)} ≤ V _{DDA} = V _{DDD} = V _{DD(TVDD)} ; V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V	[1][2] 2.5	3.3	3.6	V
V _{DDD}	digital supply voltage	V _{DD(PVDD)} ≤ V _{DDA} = V _{DDD} = V _{DD(TVDD)} ; V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V	[1][2] 2.5	3.3	3.6	V
V _{DD(TVDD)}	TVDD supply voltage	V _{DD(PVDD)} ≤ V _{DDA} = V _{DDD} = V _{DD(TVDD)} ; V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V	[1][2] 2.5	3.3	3.6	V
V _{DD(PVDD)}	PVDD supply voltage	V _{DD(PVDD)} ≤ V _{DDA} = V _{DDD} = V _{DD(TVDD)} ; V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V	[3] 1.6	1.8	3.6	V
V _{DD(SVDD)}	SVDD supply voltage	V _{SSA} = V _{SSD} = V _{SS(PVSS)} = V _{SS(TVSS)} = 0 V	1.6	-	3.6	V
T _{amb}	ambient temperature	HVQFN32	-25	-	+85	°C

[1] Supply voltages below 3 V reduce the performance (the achievable operating distance).

[2] V_{DDA}, V_{DDD} and V_{DD(TVDD)} must always be the same voltage.

[3] V_{DD(PVDD)} must always be the same or lower voltage than V_{DDD}.

13. Thermal characteristics

Table 152. Thermal characteristics

Symbol	Parameter	Conditions	Package	Typ	Unit
R _{th(j-a)}	thermal resistance from junction to ambient	in still air with exposed pin soldered on a 4 layer JEDEC PCB	HVQFN32	40	K/W

14. Characteristics

Table 153. Characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Input characteristics						
Pins EA, I2C and NRSTPD						
I_{LI}	input leakage current		-1	-	+1	μA
V_{IH}	HIGH-level input voltage		$0.7V_{DD(PVDD)}$	-	-	V
V_{IL}	LOW-level input voltage		-	-	$0.3V_{DD(PVDD)}$	V
Pin MFIN						
I_{LI}	input leakage current		-1	-	+1	μA
V_{IH}	HIGH-level input voltage		$0.7V_{DD(SVDD)}$	-	-	V
V_{IL}	LOW-level input voltage		-	-	$0.3V_{DD(SVDD)}$	V
Pin SDA						
I_{LI}	input leakage current		-1	-	+1	μA
V_{IH}	HIGH-level input voltage		$0.7V_{DD(PVDD)}$	-	-	V
V_{IL}	LOW-level input voltage		-	-	$0.3V_{DD(PVDD)}$	V
Pin RX^[1]						
V_i	input voltage		-1	-	$V_{DDA} + 1$	V
C_i	input capacitance	$V_{DDA} = 3\text{ V}$; receiver active; $V_{RX(p-p)} = 1\text{ V}$; 1.5 V (DC) offset	-	10	-	pF
R_i	input resistance	$V_{DDA} = 3\text{ V}$; receiver active; $V_{RX(p-p)} = 1\text{ V}$; 1.5 V (DC) offset	-	350	-	Ω
<i>Input voltage range; see Figure 24</i>						
$V_{i(p-p)(min)}$	minimum peak-to-peak input voltage	Manchester encoded; $V_{DDA} = 3\text{ V}$	-	100	-	mV
$V_{i(p-p)(max)}$	maximum peak-to-peak input voltage	Manchester encoded; $V_{DDA} = 3\text{ V}$	-	4	-	V
<i>Input sensitivity; see Figure 24</i>						
V_{mod}	modulation voltage	minimum Manchester encoded; $V_{DDA} = 3\text{ V}$; $RxGain[2:0] = 111\text{b}$ (48 dB)	-	5	-	mV
Pin OSCIN						
I_{LI}	input leakage current		-1	-	+1	μA
V_{IH}	HIGH-level input voltage		$0.7V_{DDA}$	-	-	V
V_{IL}	LOW-level input voltage		-	-	$0.3V_{DDA}$	V
C_i	input capacitance	$V_{DDA} = 2.8\text{ V}$; DC = 0.65 V; AC = 1 V (p-p)	-	2	-	pF
Input/output characteristics						
pins D1, D2, D3, D4, D5, D6 and D7						
I_{LI}	input leakage current		-1	-	+1	μA
V_{IH}	HIGH-level input voltage		$0.7V_{DD(PVDD)}$	-	-	V
V_{IL}	LOW-level input voltage		-	-	$0.3V_{DD(PVDD)}$	V

Table 153. Characteristics ...continued

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{OH}	HIGH-level output voltage	V _{DD(PVDD)} = 3 V; I _O = 4 mA	V _{DD(PVDD)} - 0.4	-	V _{DD(PVDD)}	V
V _{OL}	LOW-level output voltage	V _{DD(PVDD)} = 3 V; I _O = 4 mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OH}	HIGH-level output current	V _{DD(PVDD)} = 3 V	-	-	4	mA
I _{OL}	LOW-level output current	V _{DD(PVDD)} = 3 V	-	-	4	mA
Output characteristics						
Pin MFOUT						
V _{OH}	HIGH-level output voltage	V _{DD(SVDD)} = 3 V; I _O = 4 mA	V _{DD(SVDD)} - 0.4	-	V _{DD(SVDD)}	V
V _{OL}	LOW-level output voltage	V _{DD(SVDD)} = 3 V; I _O = 4 mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OL}	LOW-level output current	V _{DD(SVDD)} = 3 V	-	-	4	mA
I _{OH}	HIGH-level output current	V _{DD(SVDD)} = 3 V	-	-	4	mA
Pin IRQ						
V _{OH}	HIGH-level output voltage	V _{DD(PVDD)} = 3 V; I _O = 4 mA	V _{DD(PVDD)} - 0.4	-	V _{DD(PVDD)}	V
V _{OL}	LOW-level output voltage	V _{DD(PVDD)} = 3 V; I _O = 4 mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OL}	LOW-level output current	V _{DD(PVDD)} = 3 V	-	-	4	mA
I _{OH}	HIGH-level output current	V _{DD(PVDD)} = 3 V	-	-	4	mA
Pins AUX1 and AUX2						
V _{OH}	HIGH-level output voltage	V _{DDD} = 3 V; I _O = 4 mA	V _{DDD} - 0.4	-	V _{DDD}	V
V _{OL}	LOW-level output voltage	V _{DDD} = 3 V; I _O = 4 mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OL}	LOW-level output current	V _{DDD} = 3 V	-	-	4	mA
I _{OH}	HIGH-level output current	V _{DDD} = 3 V	-	-	4	mA
Pins TX1 and TX2						
V _{OH}	HIGH-level output voltage	V _{DD(TVDD)} = 3 V; I _{DD(TVDD)} = 32 mA; CWGsP[5:0] = 3Fh	V _{DD(TVDD)} - 0.15	-	-	V
		V _{DD(TVDD)} = 3 V; I _{DD(TVDD)} = 80 mA; CWGsP[5:0] = 3Fh	V _{DD(TVDD)} - 0.4	-	-	V
		V _{DD(TVDD)} = 2.5 V; I _{DD(TVDD)} = 32 mA; CWGsP[5:0] = 3Fh	V _{DD(TVDD)} - 0.24	-	-	V
		V _{DD(TVDD)} = 2.5 V; I _{DD(TVDD)} = 80 mA; CWGsP[5:0] = 3Fh	V _{DD(TVDD)} - 0.64	-	-	V

Table 153. Characteristics ...continued

Symbol	Parameter	Conditions	Min	Typ	Max	Unit	
V _{OL}	LOW-level output voltage	V _{DD(TVDD)} = 3 V; I _{DD(TVDD)} = 32 mA; CWGsP[5:0] = 0Fh	-	-	0.15	V	
		V _{DD(TVDD)} = 3 V; I _{DD(TVDD)} = 80 mA; CWGsP[5:0] = 0Fh	-	-	0.4	V	
		V _{DD(TVDD)} = 2.5 V; I _{DD(TVDD)} = 32 mA; CWGsP[5:0] = 0Fh	-	-	0.24	V	
		V _{DD(TVDD)} = 2.5 V; I _{DD(TVDD)} = 80 mA; CWGsP[5:0] = 0Fh	-	-	0.64	V	
Current consumption							
I _{pd}	power-down current	V _{D_{DA}} = V _{D_{DD}} = V _{DD(TVDD)} = V _{DD(PVDD)} = 3 V					
		hard power-down; pin NRSTPD set LOW	[2]	-	-	5	μA
		soft power-down; RF level detector on	[2]	-	-	10	μA
I _{DD_D}	digital supply current	pin DVDD; V _{D_{DD}} = 3 V	-	6.5	9	mA	
I _{DD_A}	analog supply current	pin AVDD; V _{D_{DA}} = 3 V; CommandReg register's bit RcvOff = 0	-	7	10	mA	
		pin AVDD; receiver switched off; V _{D_{DA}} = 3 V; CommandReg register's bit RcvOff = 1	-	3	5	mA	
I _{DD(PVDD)}	PVDD supply current	pin PVDD	[3]	-	40	mA	
I _{DD(TVDD)}	TVDD supply current	pin TVDD; continuous wave	[4][5][6]	-	60	100	mA
I _{DD(SVDD)}	SVDD supply current	pin SVDD	[7]	-	4	mA	
Clock frequency							
f _{clk}	clock frequency		-	27.12	-	MHz	
δ _{clk}	clock duty cycle		40	50	60	%	
t _{j_{it}}	jitter time	RMS	-	-	10	ps	
Crystal oscillator							
V _{OH}	HIGH-level output voltage	pin OSCOUT	-	1.1	-	V	
V _{OL}	LOW-level output voltage	pin OSCOUT	-	0.2	-	V	
C _i	input capacitance	pin OSCOUT	-	2	-	pF	
		pin OSCIN	-	2	-	pF	
Typical input requirements							
f _{xtal}	crystal frequency		-	27.12	-	MHz	
ESR	equivalent series resistance		-	-	100	Ω	
C _L	load capacitance		-	10	-	pF	
P _{xtal}	crystal power dissipation		-	50	100	mW	

[1] The voltage on pin RX is clamped by internal diodes to pins AVSS and AVDD.

- [2] I_{pd} is the total current for all supplies.
- [3] $I_{DD(PVDD)}$ depends on the overall load at the digital pins.
- [4] $I_{DD(TVDD)}$ depends on $V_{DD(TVDD)}$ and the external circuit connected to pins TX1 and TX2.
- [5] During typical circuit operation, the overall current is below 100 mA.
- [6] Typical value using a complementary driver configuration and an antenna matched to 40Ω between pins TX1 and TX2 at 13.56 MHz.
- [7] $I_{DD(SVDD)}$ depends on the load at pin MFOUT.

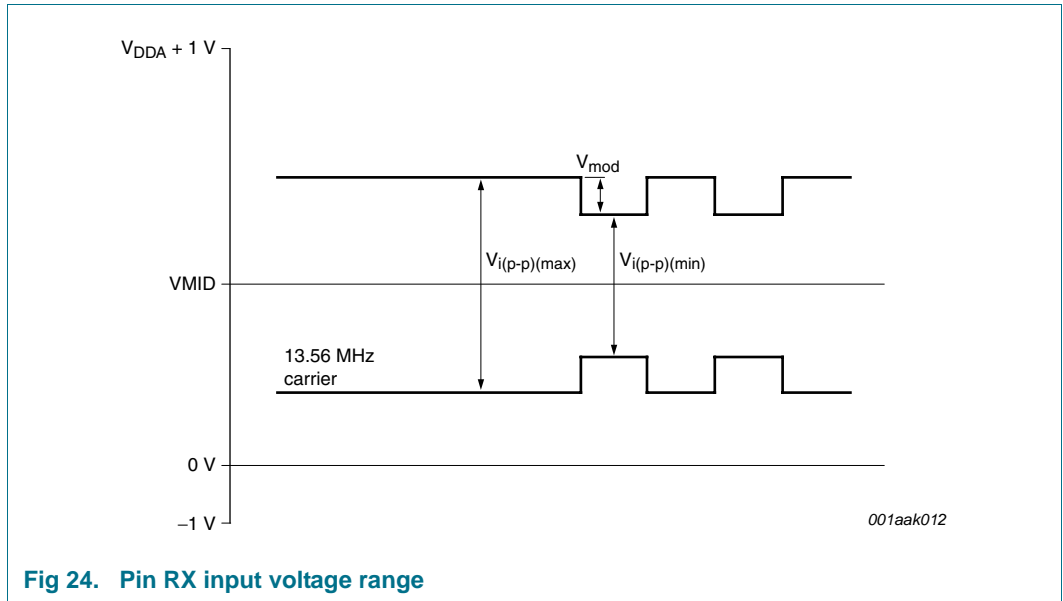


Fig 24. Pin RX input voltage range

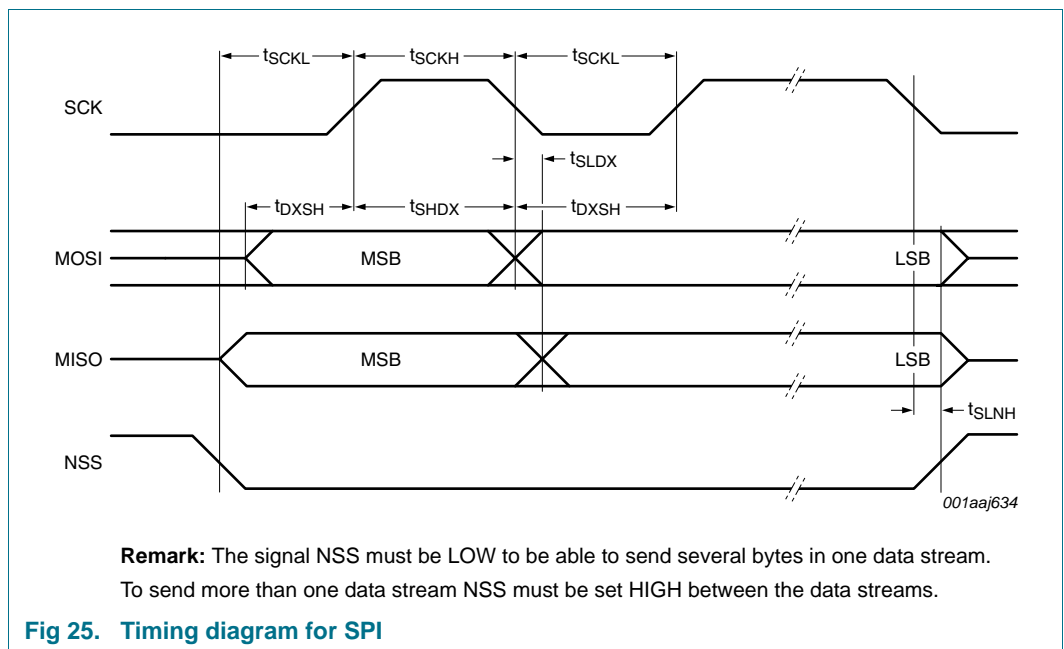
14.1 Timing characteristics

Table 154. SPI timing characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
t_{WL}	pulse width LOW	line SCK	50	-	-	ns
t_{WH}	pulse width HIGH	line SCK	50	-	-	ns
$t_{h(SCKH-D)}$	SCK HIGH to data input hold time	SCK to changing MOSI	25	-	-	ns
$t_{su(D-SCKH)}$	data input to SCK HIGH set-up time	changing MOSI to SCK	25	-	-	ns
$t_{h(SCKL-Q)}$	SCK LOW to data output hold time	SCK to changing MISO	-	-	25	ns
$t_{(SCKL-NSSH)}$	SCK LOW to NSS HIGH time		0	-	-	ns
t_{NHNL}	NSS high before communication		50	-	-	ns

Table 155. I²C-bus timing in Fast mode

Symbol	Parameter	Conditions	Fast mode		High-speed mode		Unit
			Min	Max	Min	Max	
f _{SCL}	SCL clock frequency		0	400	0	3400	kHz
t _{HD;STA}	hold time (repeated) START condition	after this period, the first clock pulse is generated	600	-	160	-	ns
t _{SU;STA}	set-up time for a repeated START condition		600	-	160	-	ns
t _{SU;STO}	set-up time for STOP condition		600	-	160	-	ns
t _{LOW}	LOW period of the SCL clock		1300	-	160	-	ns
t _{HIGH}	HIGH period of the SCL clock		600	-	60	-	ns
t _{HD;DAT}	data hold time		0	900	0	70	ns
t _{SU;DAT}	data set-up time		100	-	10	-	ns
t _r	rise time	SCL signal	20	300	10	40	ns
t _f	fall time	SCL signal	20	300	10	40	ns
t _r	rise time	SDA and SCL signals	20	300	10	80	ns
t _f	fall time	SDA and SCL signals	20	300	10	80	ns
t _{BUF}	bus free time between a STOP and START condition		1.3	-	1.3	-	μs



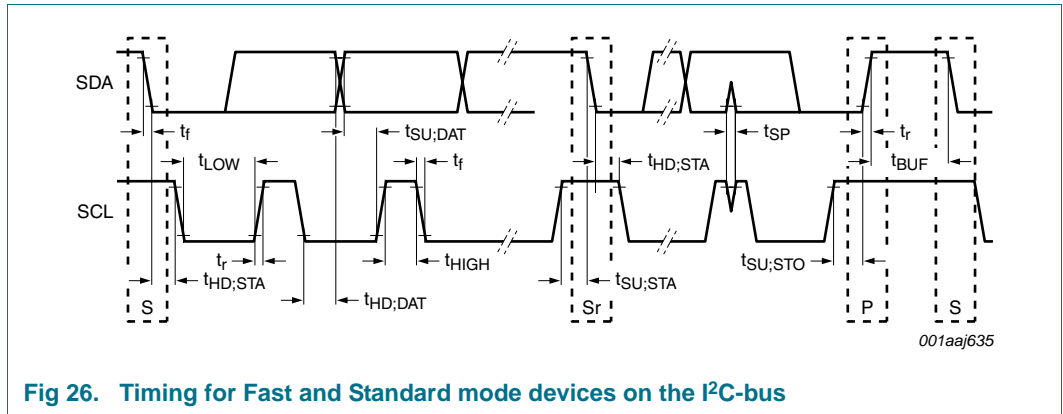


Fig 26. Timing for Fast and Standard mode devices on the I²C-bus

15. Application information

A typical application diagram using a complementary antenna connection to the MFRC522 is shown in [Figure 27](#).

The antenna tuning and RF part matching is described in the application note [Ref. 1](#) and [Ref. 2](#).

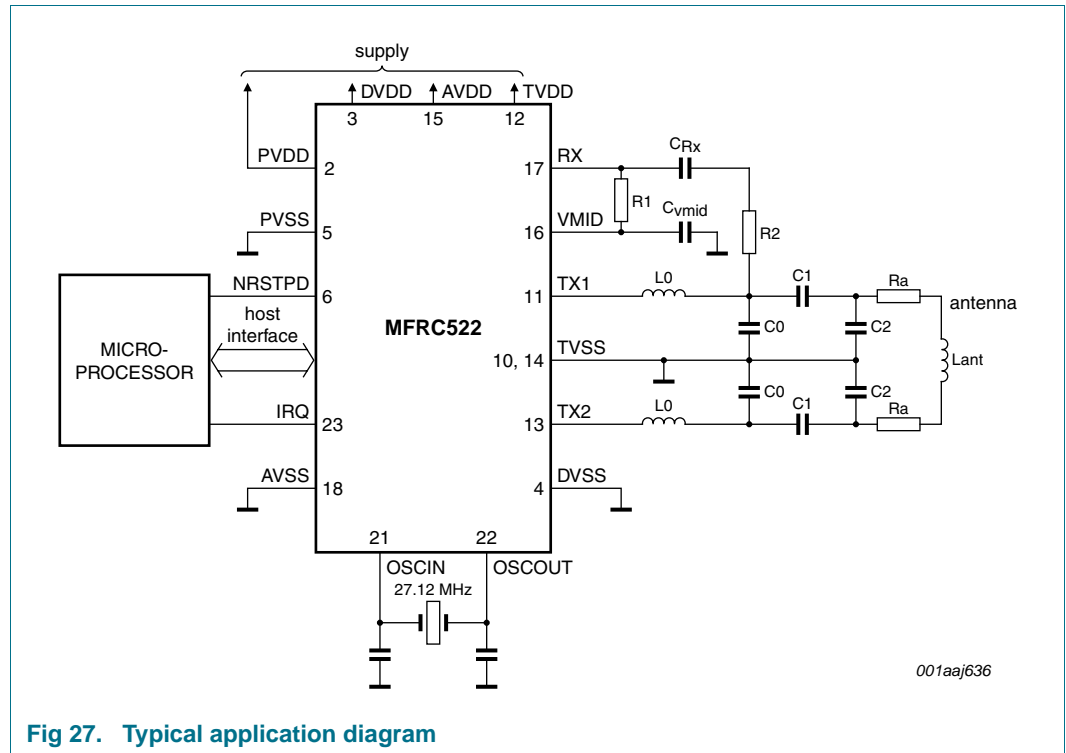


Fig 27. Typical application diagram

16. Test information

16.1 Test signals

16.1.1 Self test

The MFRC522 has the capability to perform a digital self test. The self test is started by using the following procedure:

1. Perform a soft reset.
2. Clear the internal buffer by writing 25 bytes of 00h and implement the Config command.
3. Enable the self test by writing 09h to the AutoTestReg register.
4. Write 00h to the FIFO buffer.
5. Start the self test with the CalcCRC command.
6. The self test is initiated.
7. When the self test has completed, the FIFO buffer contains the following 64 bytes:

FIFO buffer byte values for version 92h:

0x00, 0xEB, 0x66, 0xBA, 0x57, 0xBF, 0x23, 0x95, 0xD0, 0xE3, 0x0D, 0x3D, 0x27, 0x89, 0x5C, 0xDE, 0x9D, 0x3B, 0xA7, 0x00, 0x21, 0x5B, 0x89, 0x82, 0x51, 0x3A, 0xEB, 0x02, 0x0C, 0xA5, 0x00, 0x49, 0x7C, 0x84, 0x4D, 0xB3, 0xCC, 0xD2, 0x1B, 0x81, 0x5D, 0x48, 0x76, 0xD5, 0x71, 0x61, 0x21, 0xA9, 0x86, 0x96, 0x83, 0x38, 0xCF, 0x9D, 0x5B, 0x6D, 0xDC, 0x15, 0xBA, 0x3E, 0x7D, 0x95, 0x3B, 0x2F

16.1.2 Test bus

The test bus is used for production tests. The following configuration can be used to improve the design of a system using the MFRC522. The test bus allows internal signals to be routed to the digital interface. The test bus comprises two sets of test signals which are selected using their subaddress specified in the TestSel2Reg register's TestBusSel[4:0] bits. The test signals and their related digital output pins are described in [Table 156](#) and [Table 157](#).

Table 156. Test bus signals: TestBusSel[4:0] = 07h

Pins	Internal signal name	Description
D6	s_data	received data stream
D5	s_coll	bit-collision detected (106 kBd only)
D4	s_valid	s_data and s_coll signals are valid
D3	s_over	receiver has detected a stop condition
D2	RCV_reset	receiver is reset
D1	-	reserved

Table 157. Test bus signals: TestBusSel[4:0] = 0Dh

Pins	Internal test signal name	Description
D6	clkstable	oscillator output signal
D5	clk27/8	oscillator output signal divided by 8
D4 to D3	-	reserved
D2	clk27	oscillator output signal
D1	-	reserved

16.1.3 Test signals on pins AUX1 or AUX2

The MFRC522 allows the user to select internal signals for measurement on pins AUX1 or AUX2. These measurements can be helpful during the design-in phase to optimize the design or used for test purposes.

[Table 158](#) shows the signals that can be switched to pin AUX1 or AUX2 by setting AnalogSelAux1[3:0] or AnalogSelAux2[3:0] in the AnalogTestReg register.

Remark: The DAC has a current output, therefore it is recommended that a 1 k Ω pull-down resistor is connected to pin AUX1 or AUX2.

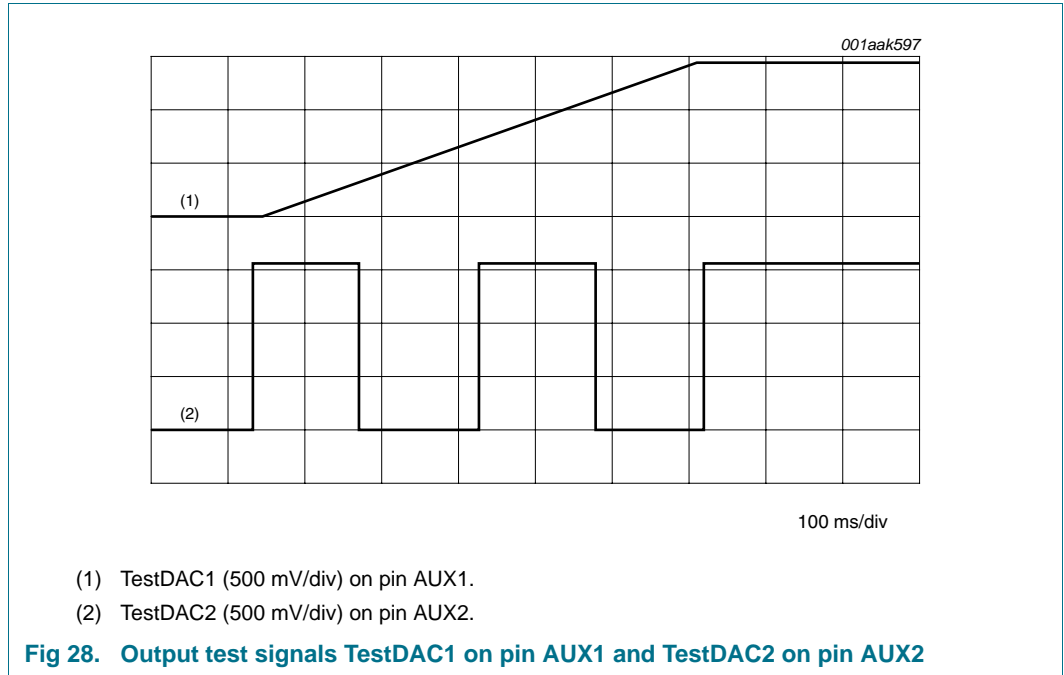
Table 158. Test signal descriptions

AnalogSelAux1[3:0] or AnalogSelAux2[3:0] value	Signal on pin AUX1 or pin AUX2
0000	3-state
0001	DAC: register TestDAC1 or TestDAC2
0010	DAC: test signal Corr1
0011	reserved
0100	DAC: test signal MinLevel
0101	DAC: test signal ADC_I
0110	DAC: test signal ADC_Q
0111 to 1001	reserved
1010	HIGH
1011	LOW
1100	TxActive
1101	RxActive
1110	subcarrier detected
1111	TstBusBit

16.1.3.1 Example: Output test signals TestDAC1 and TestDAC2

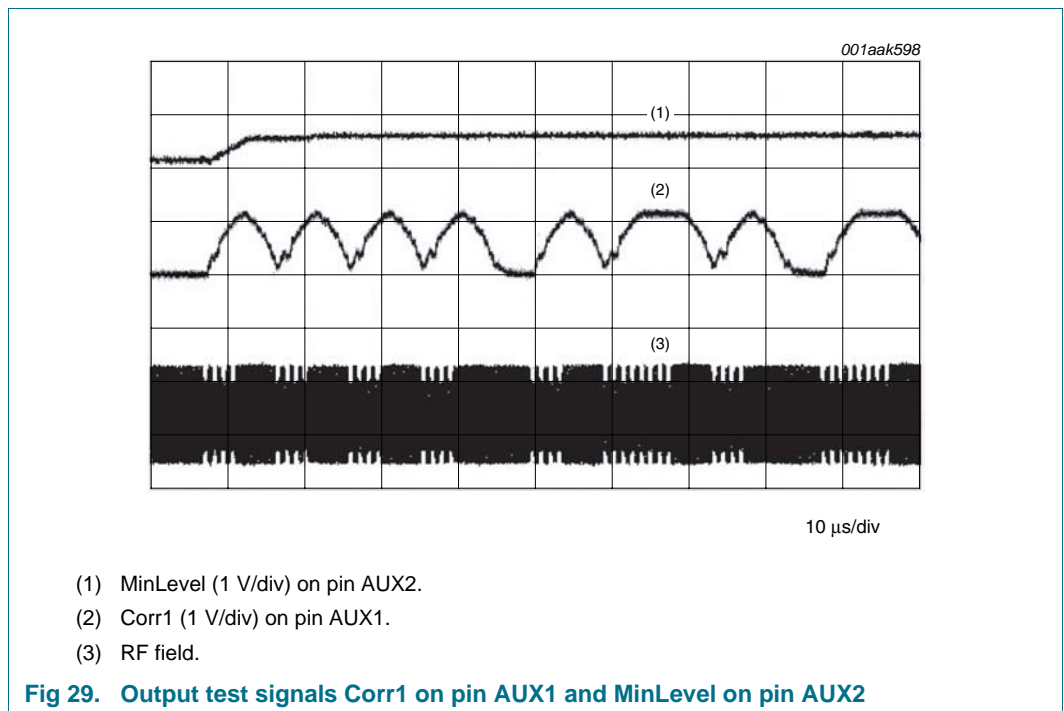
The AnalogTestReg register is set to 11h. The output on pin AUX1 has the test signal TestDAC1 and the output on pin AUX2 has the test signal TestDAC2. The signal values of TestDAC1 and TestDAC2 are controlled by the TestDAC1Reg and TestDAC2Reg registers.

Figure 28 shows test signal TestDAC1 on pin AUX1 and TestDAC2 on pin AUX2 when the TestDAC1Reg register is programmed with a slope defined by values 00h to 3Fh and the TestDAC2Reg register is programmed with a rectangular signal defined by values 00h and 3Fh.



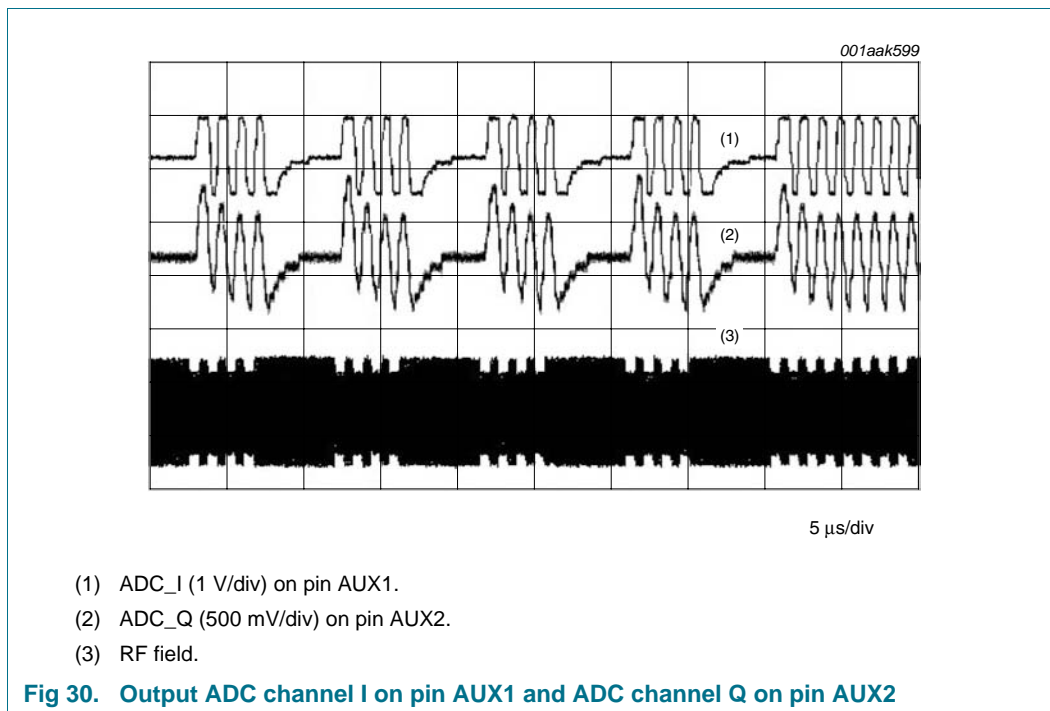
16.1.3.2 Example: Output test signals Corr1 and MinLevel

Figure 29 shows test signals Corr1 and MinLevel on pins AUX1 and AUX2, respectively. The AnalogTestReg register is set to 24h.



16.1.3.3 Example: Output test signals ADC channel I and ADC channel Q

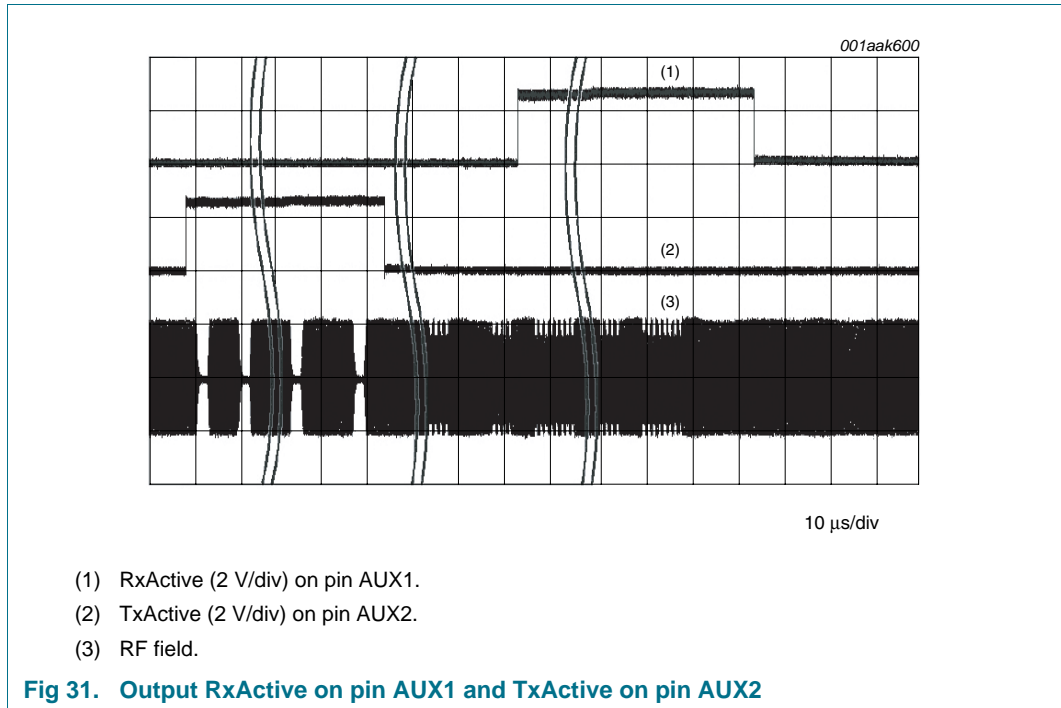
[Figure 30](#) shows the channel behavior test signals ADC_I and ADC_Q on pins AUX1 and AUX2, respectively. The AnalogTestReg register is set to 56h.



16.1.3.4 Example: Output test signals RxActive and TxActive

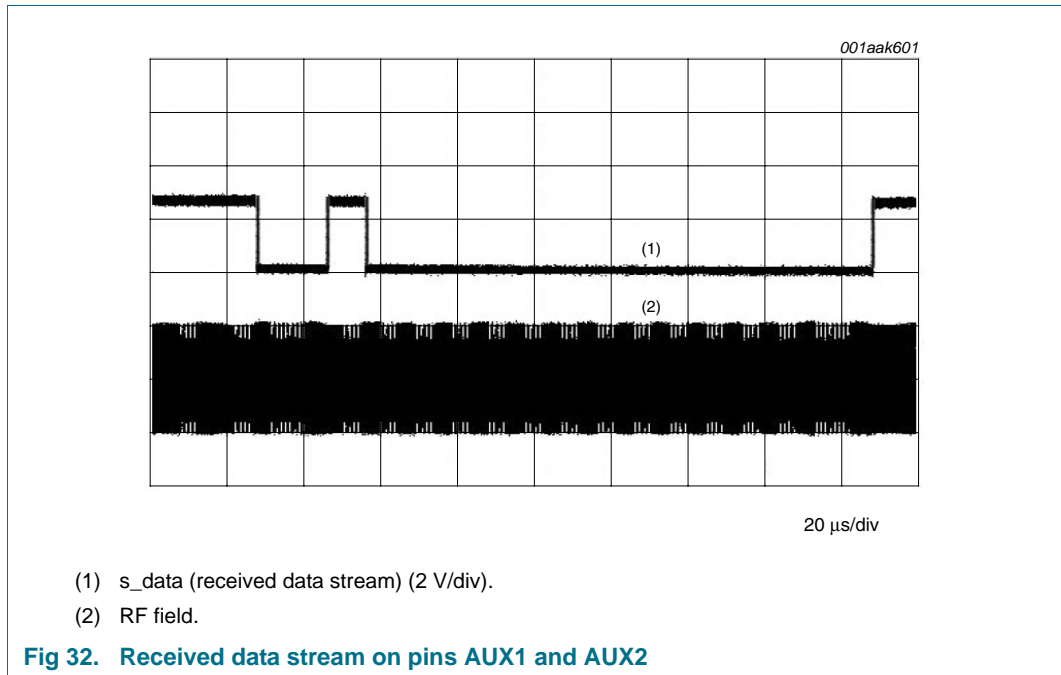
[Figure 31](#) shows the RxActive and TxActive test signals relating to RF communication. The AnalogTestReg register is set to CDh.

- At 106 kBd, RxActive is HIGH during data bits, parity and CRC reception. Start bits are not included
- At 106 kBd, TxActive is HIGH during start bits, data bits, parity and CRC transmission
- At 212 kBd, 424 kBd and 848 kBd, RxActive is HIGH during data bits and CRC reception. Start bits are not included
- At 212 kBd, 424 kBd and 848 kBd, TxActive is HIGH during data bits and CRC transmission



16.1.3.5 Example: Output test signal RX data stream

Figure 32 shows the data stream that is currently being received. The TestSel2Reg register's TestBusSel[4:0] bits are set to 07h to enable test bus signals on pins D1 to D6; see Section 16.1.2 on page 79. The TestSel1Reg register's TstBusBitSel[2:0] bits are set to 06h (pin D6 = s_data) and AnalogTestReg register is set to FFh (TstBusBit) which outputs the received data stream on pins AUX1 and AUX2.



16.1.3.6 PRBS

The pseudo-random binary sequences PRBS9 and PRBS15 are based on ITU-TO150 and are defined with the TestSel2Reg register. Transmission of either data stream is started by the Transmit command. The preamble/sync byte/start bit/parity bit are automatically generated depending on the mode selected.

Remark: All relevant registers for transmitting data must be configured in accordance with ITU-TO150 before selecting PRBS transmission.

17. Package outline

HVQFN32: plastic thermal enhanced very thin quad flat package; no leads; 32 terminals; body 5 x 5 x 0.85 mm

SOT617-1

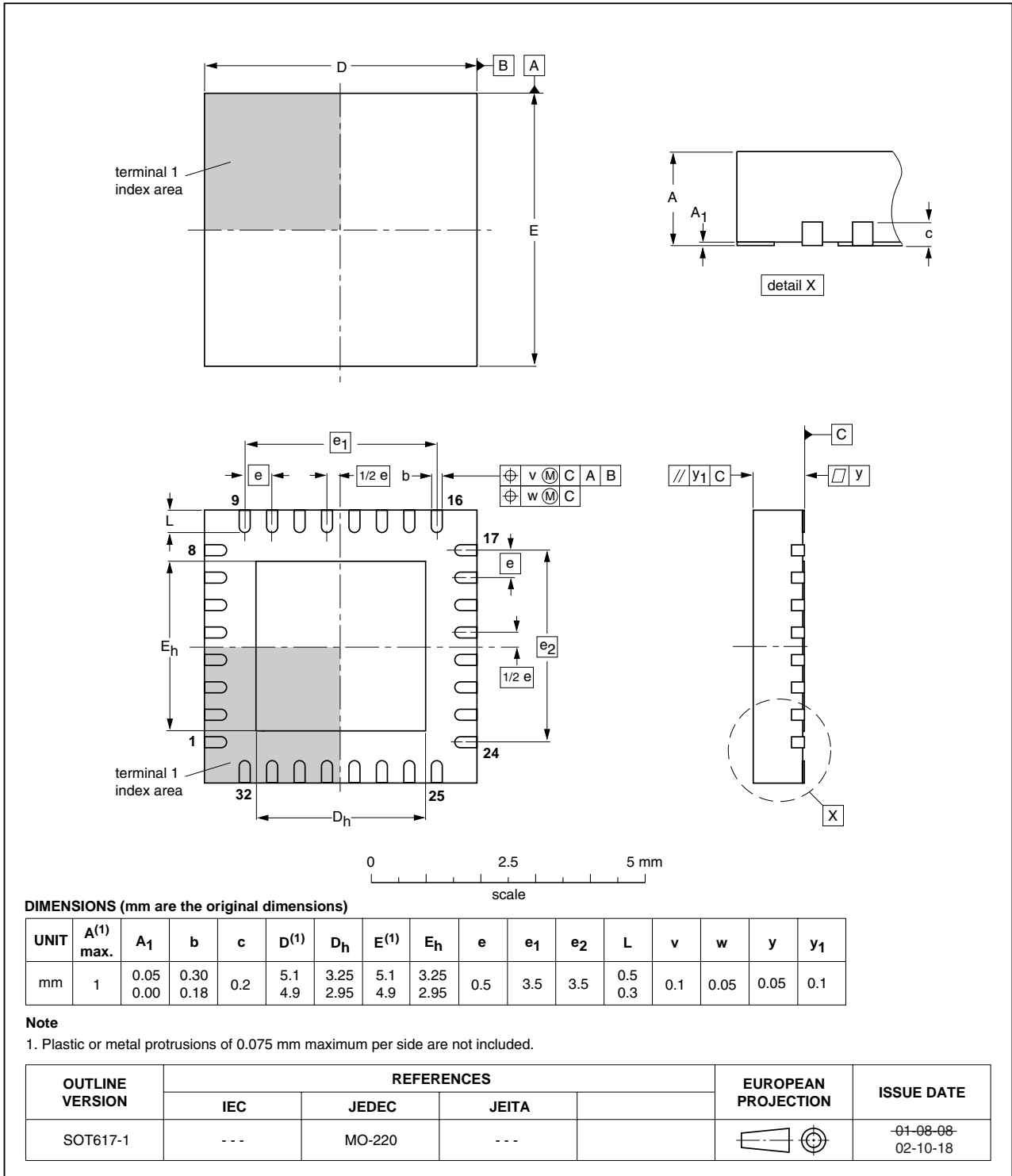


Fig 33. Package outline SOT617-1 (HVQFN32)

Detailed package information can be found at:
<http://www.nxp.com/package/SOT617-1.html>.

18. Handling information

Moisture Sensitivity Level (MSL) evaluation has been performed according to *SNW-FQ-225B rev.04/07/07 (JEDEC J-STD-020C)*. MSL for this package is level 1 which means 260 °C convection reflow temperature.

Dry pack is not required.

Unlimited out-of-pack floor life at maximum ambient 30 °C/85 % RH.

19. Packing information

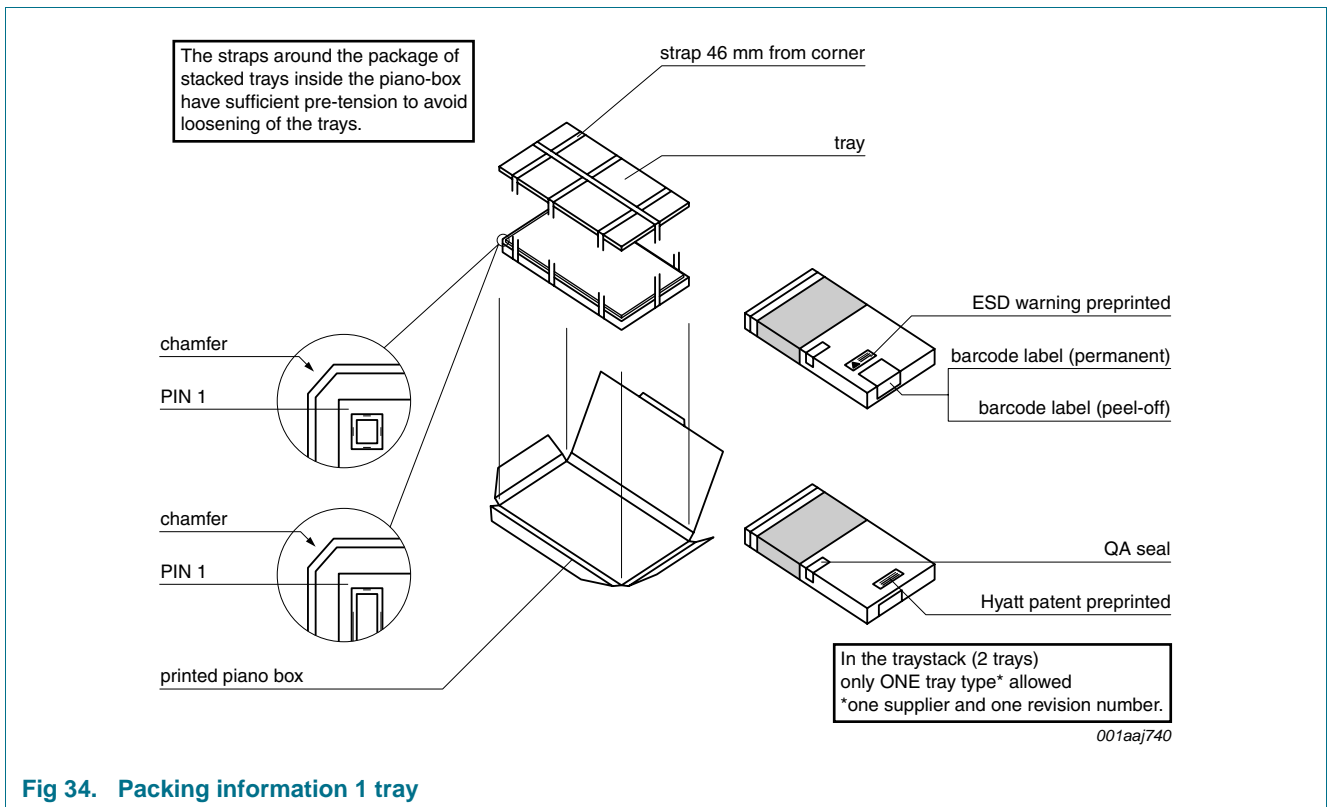


Fig 34. Packing information 1 tray

20. Abbreviations

Table 159. Abbreviations

Acronym	Description
ADC	Analog-to-Digital Converter
BPSK	Binary Phase Shift Keying
CRC	Cyclic Redundancy Check
CW	Continuous Wave
DAC	Digital-to-Analog Converter
HBM	Human Body Model
I ² C	Inter-integrated Circuit
LSB	Least Significant Bit
MISO	Master In Slave Out
MM	Machine Model
MOSI	Master Out Slave In
MSB	Most Significant Bit
NRZ	Not Return to Zero
NSS	Not Slave Select
PLL	Phase-Locked Loop
PRBS	Pseudo-Random Bit Sequence
RX	Receiver
SOF	Start Of Frame
SPI	Serial Peripheral Interface
TX	Transmitter
UART	Universal Asynchronous Receiver Transmitter

21. References

- [1] **Application note** — *MFRC52x Reader IC Family Directly Matched Antenna Design*
- [2] **Application note** — *MIFARE (ISO/IEC 14443 A) 13.56 MHz RFID Proximity Antennas*

22. Revision history

Table 160. Revision history

Document ID	Release date	Data sheet status	Change notice	Supersedes
MFRC522_35	20100621	Product data sheet		MFRC522_34
Modifications:		<ul style="list-style-type: none"> • Section 9.3.2.10 “DemodReg register” on page 51: register updated • Section 9.3.3.10 “TModeReg and TPrescalerReg registers” on page 57: register updated • Section 8.5 “Timer unit” on page 29: timer calculation updated • Section 9.3.4.8 “VersionReg register” on page 63: version B2h updated • Section 16.1 “Test signals” on page 79: selftest result updated 		
MFRC522_34	20100305	Product data sheet		MFRC522_33
Modifications:		<ul style="list-style-type: none"> • Section 8.5 “Timer unit”: information added • Table 106 “TModeReg register bit descriptions”: bit 7 updated • Table 154 “SPI timing characteristics”: row added 		
MFRC522_33	20091026	Product data sheet	-	112132
112132	May 2007	Product data sheet	200705005F	112131
112131	September 2006	Product data sheet	-	112130
112130	December 2005	Product data sheet	-	112121
112121	September 2005	Product data sheet	-	112120
112120	July 2005	Preliminary data sheet	-	112110
112110	July 2005	Objective data sheet	-	112104
112104	November 2004	Objective data sheet	-	112103
112103	October 2004	Objective data sheet	-	-

23. Legal information

23.1 Data sheet status

Document status ^{[1][2]}	Product status ^[3]	Definition
Objective [short] data sheet	Development	This document contains data from the objective specification for product development.
Preliminary [short] data sheet	Qualification	This document contains data from the preliminary specification.
Product [short] data sheet	Production	This document contains the product specification.

[1] Please consult the most recently issued document before initiating or completing a design.

[2] The term 'short data sheet' is explained in section "Definitions".

[3] The product status of device(s) described in this document may have changed since this document was published and may differ in case of multiple devices. The latest product status information is available on the Internet at URL <http://www.nxp.com>.

23.2 Definitions

Draft — The document is a draft version only. The content is still under internal review and subject to formal approval, which may result in modifications or additions. NXP Semiconductors does not give any representations or warranties as to the accuracy or completeness of information included herein and shall have no liability for the consequences of use of such information.

Short data sheet — A short data sheet is an extract from a full data sheet with the same product type number(s) and title. A short data sheet is intended for quick reference only and should not be relied upon to contain detailed and full information. For detailed and full information see the relevant full data sheet, which is available on request via the local NXP Semiconductors sales office. In case of any inconsistency or conflict with the short data sheet, the full data sheet shall prevail.

Product specification — The information and data provided in a Product data sheet shall define the specification of the product as agreed between NXP Semiconductors and its customer, unless NXP Semiconductors and customer have explicitly agreed otherwise in writing. In no event however, shall an agreement be valid in which the NXP Semiconductors product is deemed to offer functions and qualities beyond those described in the Product data sheet.

23.3 Disclaimers

Limited warranty and liability — Information in this document is believed to be accurate and reliable. However, NXP Semiconductors does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information.

In no event shall NXP Semiconductors be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, NXP Semiconductors' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the *Terms and conditions of commercial sale* of NXP Semiconductors.

Right to make changes — NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Suitability for use — NXP Semiconductors products are not designed, authorized or warranted to be suitable for use in life support, life-critical or safety-critical systems or equipment, nor in applications where failure or

malfunction of an NXP Semiconductors product can reasonably be expected to result in personal injury, death or severe property or environmental damage. NXP Semiconductors accepts no liability for inclusion and/or use of NXP Semiconductors products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

Applications — Applications that are described herein for any of these products are for illustrative purposes only. NXP Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using NXP Semiconductors products, and NXP Semiconductors accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the NXP Semiconductors product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP Semiconductors does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using NXP Semiconductors products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). NXP does not accept any liability in this respect.

Limiting values — Stress above one or more limiting values (as defined in the Absolute Maximum Ratings System of IEC 60134) will cause permanent damage to the device. Limiting values are stress ratings only and (proper) operation of the device at these or any other conditions above those given in the Recommended operating conditions section (if present) or the Characteristics sections of this document is not warranted. Constant or repeated exposure to limiting values will permanently and irreversibly affect the quality and reliability of the device.

Terms and conditions of commercial sale — NXP Semiconductors products are sold subject to the general terms and conditions of commercial sale, as published at <http://www.nxp.com/profile/terms>, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. NXP Semiconductors hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of NXP Semiconductors products by customer.

No offer to sell or license — Nothing in this document may be interpreted or construed as an offer to sell products that is open for acceptance or the grant, conveyance or implication of any license under any copyrights, patents or other industrial or intellectual property rights.

Export control — This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from national authorities.

Quick reference data — The Quick reference data is an extract of the product data given in the Limiting values and Characteristics sections of this document, and as such is not complete, exhaustive or legally binding.

Non-automotive qualified products — Unless this data sheet expressly states that this specific NXP Semiconductors product is automotive qualified, the product is not suitable for automotive use. It is neither qualified nor tested in accordance with automotive testing or application requirements. NXP Semiconductors accepts no liability for inclusion and/or use of non-automotive qualified products in automotive equipment or applications.

In the event that customer uses the product for design-in and use in automotive applications to automotive specifications and standards, customer (a) shall use the product without NXP Semiconductors' warranty of the product for such automotive applications, use and specifications, and (b) whenever customer uses the product for automotive applications beyond NXP Semiconductors' specifications such use shall be solely at customer's own risk, and (c) customer fully indemnifies NXP Semiconductors for any liability, damages or failed product claims resulting from customer design and use of the product for automotive applications beyond NXP Semiconductors' standard warranty and NXP Semiconductors' product specifications.

24. Contact information

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

23.4 Licenses

Purchase of NXP ICs with ISO/IEC 14443 type B functionality



This NXP Semiconductors IC is ISO/IEC 14443 Type B software enabled and is licensed under Innovatron's Contactless Card patents license for ISO/IEC 14443 B. The license includes the right to use the IC in systems and/or end-user equipment.

**RATP/Innovatron
Technology**

23.5 Trademarks

Notice: All referenced brands, product names, service names and trademarks are the property of their respective owners.

I²C-bus — logo is a trademark of NXP B.V.

MIFARE — is a trademark of NXP B.V.

25. Contents

1	Introduction	1	8.6.2	Soft power-down mode	31
2	General description	1	8.6.3	Transmitter power-down mode	31
3	Features and benefits	1	8.7	Oscillator circuit	31
4	Quick reference data	2	8.8	Reset and oscillator start-up time	32
5	Ordering information	3	8.8.1	Reset timing requirements	32
6	Block diagram	3	8.8.2	Oscillator start-up time	32
7	Pinning information	5	9	MFRC522 registers	33
7.1	Pin description	5	9.1	Register bit behavior	33
8	Functional description	7	9.2	Register overview	34
8.1	Digital interfaces	8	9.3	Register descriptions	36
8.1.1	Automatic microcontroller interface detection ..	8	9.3.1	Page 0: Command and status	36
8.1.2	Serial Peripheral Interface	9	9.3.1.1	Reserved register 00h	36
8.1.2.1	SPI read data	9	9.3.1.2	CommandReg register	36
8.1.2.2	SPI write data	10	9.3.1.3	ComlEnReg register	36
8.1.2.3	SPI address byte	10	9.3.1.4	DivlEnReg register	37
8.1.3	UART interface	10	9.3.1.5	ComlRqReg register	37
8.1.3.1	Connection to a host	10	9.3.1.6	DivlRqReg register	38
8.1.3.2	Selectable UART transfer speeds	11	9.3.1.7	ErrorReg register	39
8.1.3.3	UART framing	12	9.3.1.8	Status1Reg register	40
8.1.4	I ² C-bus interface	15	9.3.1.9	Status2Reg register	41
8.1.4.1	Data validity	16	9.3.1.10	FIFODataReg register	42
8.1.4.2	START and STOP conditions	16	9.3.1.11	FIFOLevelReg register	42
8.1.4.3	Byte format	16	9.3.1.12	WaterLevelReg register	42
8.1.4.4	Acknowledge	17	9.3.1.13	ControlReg register	43
8.1.4.5	7-Bit addressing	18	9.3.1.14	BitFramingReg register	44
8.1.4.6	Register write access	18	9.3.1.15	CollReg register	44
8.1.4.7	Register read access	19	9.3.1.16	Reserved register 0Fh	45
8.1.4.8	High-speed mode	20	9.3.2	Page 1: Communication	45
8.1.4.9	High-speed transfer	20	9.3.2.1	Reserved register 10h	45
8.1.4.10	Serial data transfer format in HS mode	20	9.3.2.2	ModeReg register	46
8.1.4.11	Switching between F/S mode and HS mode ..	22	9.3.2.3	TxModeReg register	46
8.1.4.12	MFRC522 at lower speed modes	22	9.3.2.4	RxModeReg register	47
8.2	Analog interface and contactless UART	23	9.3.2.5	TxControlReg register	48
8.2.1	General	23	9.3.2.6	TxASKReg register	49
8.2.2	TX p-driver	23	9.3.2.7	TxSelReg register	49
8.2.3	Serial data switch	25	9.3.2.8	RxSelReg register	50
8.2.4	MFIN and MFOUT interface support	25	9.3.2.9	RxThresholdReg register	51
8.2.5	CRC coprocessor	27	9.3.2.10	DemodReg register	51
8.3	FIFO buffer	27	9.3.2.11	Reserved register 1Ah	52
8.3.1	Accessing the FIFO buffer	27	9.3.2.12	Reserved register 1Bh	52
8.3.2	Controlling the FIFO buffer	27	9.3.2.13	MfTxReg register	52
8.3.3	FIFO buffer status information	27	9.3.2.14	MfRxReg register	53
8.4	Interrupt request system	28	9.3.2.15	Reserved register 1Eh	53
8.4.1	Interrupt sources overview	28	9.3.2.16	SerialSpeedReg register	53
8.5	Timer unit	29	9.3.3	Page 2: Configuration	54
8.6	Power reduction modes	31	9.3.3.1	Reserved register 20h	54
8.6.1	Hard power-down	31	9.3.3.2	CRCResultReg registers	54
			9.3.3.3	Reserved register 23h	55

continued >>

9.3.3.4	ModWidthReg register	55	16.1.3.1	Example: Output test signals TestDAC1 and TestDAC2	80
9.3.3.5	Reserved register 25h	55	16.1.3.2	Example: Output test signals Corr1 and MinLevel	81
9.3.3.6	RFCfgReg register	56	16.1.3.3	Example: Output test signals ADC channel I and ADC channel Q	82
9.3.3.7	GsNReg register	56	16.1.3.4	Example: Output test signals RxActive and TxActive	82
9.3.3.8	CWGSPReg register	57	16.1.3.5	Example: Output test signal RX data stream	84
9.3.3.9	ModGsPReg register	57	16.1.3.6	PRBS	84
9.3.3.10	TModeReg and TPrescalerReg registers	57	17	Package outline	85
9.3.3.11	TReloadReg register	59	18	Handling information	86
9.3.3.12	TCounterValReg register	59	19	Packing information	86
9.3.4	Page 3: Test	60	20	Abbreviations	87
9.3.4.1	Reserved register 30h	60	21	References	87
9.3.4.2	TestSel1Reg register	60	22	Revision history	88
9.3.4.3	TestSel2Reg register	61	23	Legal information	89
9.3.4.4	TestPinEnReg register	61	23.1	Data sheet status	89
9.3.4.5	TestPinValueReg register	62	23.2	Definitions	89
9.3.4.6	TestBusReg register	62	23.3	Disclaimers	89
9.3.4.7	AutoTestReg register	63	23.4	Licenses	90
9.3.4.8	VersionReg register	63	23.5	Trademarks	90
9.3.4.9	AnalogTestReg register	63	24	Contact information	90
9.3.4.10	TestDAC1Reg register	65	25	Contents	91
9.3.4.11	TestDAC2Reg register	65			
9.3.4.12	TestADCReg register	65			
9.3.4.13	Reserved register 3Ch	65			
10	MFRC522 command set	67			
10.1	General description	67			
10.2	General behavior	67			
10.3	MFRC522 command overview	67			
10.3.1	MFRC522 command descriptions	68			
10.3.1.1	Idle	68			
10.3.1.2	Mem	68			
10.3.1.3	Generate RandomID	68			
10.3.1.4	CalcCRC	68			
10.3.1.5	Transmit	68			
10.3.1.6	NoCmdChange	68			
10.3.1.7	Receive	69			
10.3.1.8	Transceive	69			
10.3.1.9	MFAuthent	69			
10.3.1.10	SoftReset	70			
11	Limiting values	71			
12	Recommended operating conditions	71			
13	Thermal characteristics	71			
14	Characteristics	72			
14.1	Timing characteristics	75			
15	Application information	78			
16	Test information	79			
16.1	Test signals	79			
16.1.1	Self test	79			
16.1.2	Test bus	79			
16.1.3	Test signals on pins AUX1 or AUX2	80			

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.

© NXP B.V. 2010.

All rights reserved.

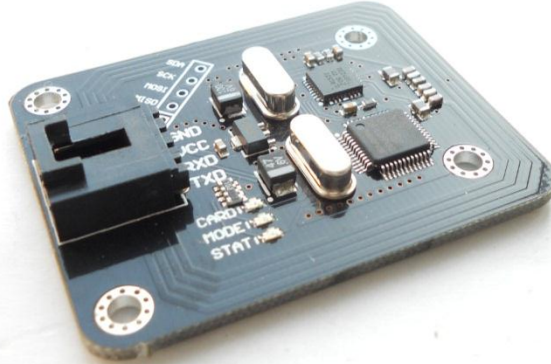
For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 21 June 2010
112135

Document identifier: MFRC522_35

SSRFIDV1.0 Manual



Instruction

This RFID reader module is based on MFRC522, supporting the ISO14443 standard. It supports ISO 14443A/MIFARE mode and MIFARE Classic (e.g. MIFARE Standard) products.

This module has UART interface. Users don't have to consider the complex control algorithms within the RF unit, simply sending commands through the UART interface can do all the operation. This module also provides compact commands, which is useful in the application of access control, attendance and other identification system.

This module supports cards including Mifare One S50, S70, Mifare_UltraLight, Mifare_Pro, Mifare_DESFire etc.

With built-in 8K of EEPROM in this module, users can easily read and write data by sending commands.

Feature

- Control by Serial UART interface
- Typical operating distance in Reader/Writer mode for communication to a ISO/IEC14443A / MIFARE is 40~50mm
- With the chip ISO14443, it supports MIFARE standard encryption algorithm.
- Configuration data is preserved in EEPROM against power cut off
- Built-in 8K EEPROM, easy to access it by sending commands.
- Easy to use, by sending simple commands users can control it to read or write cards.
- In compact command, command is as short as one byte.
- Excellent EMC performance.
- ROHS: lead-free

Parameter

- Power Supply: 4.5V~5.5V, typically 5V.
- Interface: UART (5V TTL) and SPI (3.3V TTL)
- Size: 40mm x 50mm

The SPI interface is directly connected with MFRC522's SPI. You can access MFRC522 via this interface. If you do so, you need to refer to [MFRC522 Datasheet](#). Command described below is not supported by this interface.

LED

There are 3 LEDs on the board. We marked near each LED.

STATE LED: Show status. While this module is powered up, STATE LED is on. If this module executes command successfully, STATE LED flashes once. Otherwise, it flashes 4 times.

CARD LED: While this module detects cards, this LED is on. While the card leaves the detection area, this LED is off.

MODE LED: In Basic Command mode, MODE LED is off. In Compact Command mode, MODE LED is on.

Command Description

There are two kinds of commands: Basic Command and Compact Command. Basic Command consists of 3 or more bytes. Compact Command consists of only 1 byte. (All Command Data in hexadecimal format)

For any wrong command sending to this module, 0xFF will be returned. Basic Command should be sent to this module within 5 seconds. Otherwise the module will return 0xEE. If any other data is added behind a right command and sent to this module, those data will be ignored. Take the command **AB 02 01** for example, if **AB 02 01 AA** is sent to this module, the **AA** will be ignored and the command **AB 02 01** will be executed.

UART Configuration

Baud rate could be 2400bps ~ 115200bps

Default setting:

- Baud Rate: 9600bps
- Parity bit: None
- Start bit: 1
- Data bit: 8
- Stop bit: 1

Compact Command

Command Format

No.	Command	Explain
1	0x01	Automatically search cards
2	0x02	Automatically read the card serial number.
3	0x03	Card serial number will be automatically stored in the EEPROM
4	0x04	Automatically determine whether the card is in authorization list
5	0x05	Automatically find and remove the card in authorization list

Respond Data

Success: **Related Command or Data**

- **Related Command:** the command calling this respond
- **Data:** data for the command, depending on the command

Fail: Value of NOT operation over the related command code

Compact Command Description

1. Search card: 0x01

Description: look for cards. Return **0x01** while it detects a card in its reading area. Return **0xFE** while a card leaves the reading area.

Command format: **01**

2. Read the card serial number: 0x02

Description: Be ready to read the card. Return the card serial number if a card is detected.

Command format: **02**

3. Record the card's serial number into an authorization list: 0x03

Description: Whenever a card enters the reading area, it records the card's serial number into the EEPROM. Maximum 256 cards' number can be recorded.

This module will check the free space of EEPROM from 0x0000. If there are 4 continuous addresses available, it will save the card number there. Each number will be only saved once. If you use this command, we do not recommend you do writing operation to the EEPROM. Otherwise, the data of authorization list might be lost.

Command format: **03**

Return:

- Success: **03**
 - Fail: **FC**
- #### 4. Check if a card is in authorization list: 0x04

Description: Whenever the card enters the reading area, check if the card is in the authorization list.

Command format: **04**

Return:

- In the list: **04**
 - Not in the list: **FB**
- #### 5. Remove a card's serial number from authorization list

Description: Whenever the card enters the reading area, remove the card from authorization list in EEPROM.

Command format: **05**

Return:

- Success: **05**
- Fail: **FA**

Basic Command Description

Command format

Header + Length + Instruction + Data + (Checksum)

1. **Header:** 0xAB
2. **Length:** 1 byte, the byte number from **Length** field (included) to the last byte of **Data** field.
3. **Instruction:** 1 byte, operation instruction, more detail on latter pages.
4. **Data:** Depending on the command, some commands contain none data.
5. **Checksum:** 1 byte, optional, can be configured by command. It is the value of XOR operation over all the bytes from the **Length** byte to the last byte of **Data**. By default, this byte is not included in basic demand. However, to improve working stability of this module in certain environment, checksum can be added in Basic Command. If the checksum is active in your command, you have to calculate it. We supply example code of adding and verifying checksum. For example, this command **AB 07 0C 00 00 04 0F** has a checksum of **0F**. We got the checksum in the following way:

$$0F = 07 \wedge 0C \wedge 00 \wedge 00 \wedge 04$$

If you need more information about XOR operation, [you can click here](#).

Tips: before sending basic commands, you should make sure the checksum setting first. By default the basic command has no checksum. More information will be explained later.

Instruction code:

No.	Instruction	Explanation
1	0x01	Read the card type
2	0x02	Search cards, and read the card's serial number
3	0x03	Read data in the card
4	0x04	Write data to the card
5	0x05	Initialize the wallet
6	0x06	Recharge the wallet
7	0x07	Deduct from the wallet
8	0x08	Read wallet
9	0x09	Read EEPROM
10	0x0a	Write EEPROM
11	0x0b	Erase EEPROM
12	0x0c	Check if the EEPROM is being written
13	0x0d	Add or remove checksum of Basic Command
14	0x0e	Configure the baud rate
15	0x0f	Return to default configuration
16	0x10	Return to standby state

Tips: No.5 ~ NO.8 are means e-wallet functions.

Respond Data

Success: Header + Length + Instruction + Data + (Checksum)

- **Header:** 0xAB
- **Length:** 1 byte, all the bytes from **Length** field to the last byte of **Data** field
- **Instruction:** 1 byte, the Instruction calling this respond
- **Data:** Depending on the command, can be empty
- **Checksum:** 1 byte, optional, value of XOR operation over all the bytes from the **Length** byte to the last byte of **Data**.

Fail: **Header + Length + NOT_of_Instruction + (Checksum)**

- **Header:** 0xAB
- **Length:** 1 byte, all the bytes from **Length** field to the last byte of **Data** field, usually it is 0x03
- **NOT_of_Instruction:** 1 byte, the value of NOT operation over the related Instruction code.
- **Checksum:** 1 byte, optional, value of XOR operation over all the bytes from the **Length** byte to the last byte of **Data**.

Command Description

Note: In description of some basic commands, we supply examples. Examples are all without checksum.

1. Read the card type: 0x01

Instruction	Description	Format	Parameter
0x01	Read the card type	Command: AB 02 01 Respond: Success: AB 04 01 [Card_Type] (Checksum) Fail: AB 02 FE (FC)	Card_Type: 0x4400 //Mifare_UltraLight 0x0400 //Mifare_One (S50) 0x0200 //Mifare_One (S70) 0x0800 //Mifare_Pro (X) 0x4403 // Mifare_DESFire

Example

Send: **AB 02 01**

Return: **AB 04 01 04 00** //Card type is Mifare_One (S50)

Tips: while sending this command, the card has to be in reading area. This means, this operation runs successful only while this module “knows” a card near it.

2. Read the card serial number: 0x02

Instruction	Description	Format	Parameter
0x02	Read the card serial number	Command: AB 02 02 (00) Respond: Success: AB 06 02 [Serial Number] (Checksum) Fail: AB 02 FD (FF)	Serial Number: 4-byte serial number of the card

Example

Send: **AB 02 02**

Return: **AB 06 02 DE CE C9 61** // Card NO. is DE CE C9 61

Tips: while sending this command, the card has to be in reading area. This means, this operation runs successful only while this module “knows” a card near it.

3. Read data in a block of the card: 0x03

Instruction	Description	Format	Parameter
0x03	Reads the data in the blocks (0-63) of the card	Command: AB 0A 03 [Block Number] [Key type] [Key] (Checksum) Respond: Success: AB [Length] 03 [Data] (Checksum)	Block Number: 0~63 (S50) and 0~255(S70) Key type: 0x00 //A type 0x01 //B type

Fail: **AB 02 FC**

Key: authorization key, 6 bytes
Data: the data in that block, 16 bytes.

Example

Send: **AB 0A 03 02 00 FF FF FF FF FF FF**

Return: **AB 12 03 [Block data]**

Tips: For a new card, the Key is 0xFFFFFFFF. Not every block of the card can be read. Please refer to the Mifare's datasheet.

4. Write data to a block of the card: 0x04

Instruction	Description	Format	Parameter
0x04	Write to the blocks (0-63) of the card	Command: AB 1A 04 [Block Number] [Key type] [Key] [Data] (Checksum) Respond: Success: AB 02 04 (06) Fail: AB 02 FB (F9)	Block Number: 0~63 (S50) and 0~255(S70) Key type: 0x00 //A type 0x01 //B type Key: authorization key, 6 bytes

Example

Send: **AB 1A 04 02 00 ff ff ff ff ff ff 00 ff 00 ff 00 ff 00 ff 00 ff 00 ff**

Return: **AB 02 04**

Tips:

- Not every block can be written. Please refer to the Mifare's datasheet.
- Data filed should be 16 bytes. If the Data is less than 16 bytes, checksum or even part of next command will be written into blocks as data.

5. Initialize the wallet: 0x05

Command	Description	Format	Parameter
0x05	Initialize wallet, set a specified number (money amount) in the specified block	Command: AB 0E 05 [Block Number] [Key type] [Key] [Value] (Checksum) Respond: Success: AB 02 05 (07) Fail: AB 02 FA (F8)	Block Number: 0~63 (S50) and 0~255(S70) Key type: 0x00 //A type 0x01 //B type Key: authorization key, 6 bytes Value: money amount, 4 bytes, Low Byte first ,High byte last

Example

Send: **AB 0E 05 02 00 ff ff ff ff ff ff 00 ff 00 ff //initial amount is 0xff00ff00**

Return: **AB 02 05**

Tips: Usually we take the value as a 4-byte unsigned int. If you take this value as signed 4-byte int, please remember it is always the complement code.

6. Recharge wallet: 0x06

Instruction	Description	Format	Parameter
0x06	increase value in the specified block	Command: AB 0F 06 [Block Number] [Key type] [Key] [Value] (Checksum) Respond: Success: AB 02 06 (04) Fail: AB 02 F9 (FB)	Block Number: 0~63 (S50) and 0~255(S70) Key type: 0x00 //A type 0x01 //B type Key: authorization key, 6 bytes Value: money amount, 4 bytes, Low Byte first ,High byte last

Example

Send: **AB 0E 06 02 00 ff ff ff ff ff 00 00 00 01**

Return: **AB 02 06**

7. Deduct from wallet: 0x07

Instruction	Description	Format	Parameter
0x07	Reduce value in the specified block	Command: AB 0E 07 [Block Number] [Key type] [Key] [Value] (Checksum) Respond: Success: AB 02 07 (05) Fail: AB 02 F8 (FA)	Block Number: 0~63 (S50) and 0~255(S70) Key type: 0x00 //A type 0x01 //B type Key: authorization key, 6 bytes Value: money amount, 4 bytes, Low Byte first ,High byte last

Example

Send: **AB 0E 07 02 00 ff ff ff ff ff 00 00 00 01**

Return: **AB 02 07**

Tips: Always read the wallet to check the balance before you do the deduction.

8. Read wallet: 0x08

Instruction	Description	Format	Parameter
0x08	Read value in the specified block	Command: AB 0A 08 [Block Number] [Key type] [Key] (Checksum) Respond: Success: AB 06 08 [Value] (Checksum) Fail: AB 02 F7 (F5)	Block Number: 0~63 (S50) and 0~255(S70) Key type: 0x00 //A type 0x01 //B type Key: authorization key, 6 bytes Value: money amount, 4 bytes, Low Byte first ,High byte last

Example

Send: **AB 0A 08 02 00 ff ff ff ff ff**

Return: **AB 06 08 [value] (Checksum)**

9. Read EEPROM: 0x09

Instruction	Description	Format	Parameter
0x09	Read data from specified address in EEPROM	Command: AB 05 09 [Address] [Data_Length] (Checksum) Respond: Success: AB [Data_Length+2] 09 [Data] (Checksum) Fail: AB 02 F6 (F4)	Address: 2 bytes, High byte First Data_Length: the byte number to read Data: 4 bytes, the reply data in that address

Example

Send: **AB 05 09 00 00 04** //4 bytes data

Return: **AB 06 09 [Data] (4 bytes) (Checksum)**

Tips: The EEPROM is 8K. For the Data_Length field is 1 byte. So this command can read max 255 bytes data once.

10. Write to EEPROM: 0x0A

Instruction	Description	Format	Parameter
0x0A	Write data to EEPROM	Command: AB [Data_Length+5] 0A [Mode] [Address] [Data] (Checksum) Respond: Success: AB 02 0A (08) Fail: AB 02 F5 (F7)	Data_Length: the byte number to write Mode: <ul style="list-style-type: none"> 0x00 //normal writing 0x01 //compulsive writing Address: 2 bytes, High byte First Data: the data to write

You can write to EEPROM in two ways: **Normal Writing** or **Compulsive Writing**. By **Normal Writing**, writing is refused if the addresses already have data in it (any data but 0xFF). You have to erase the sector first if the addresses are already written. By **Compulsive Writing**, data can be written to the addresses no matter if the addresses already have data.

Example

Send: **AB 09 0A 00 00 01 02 03 04 07**

Return: **AB 02 0A**

Warning:

- Be careful while using compulsive writing. All the data (except the config data) is unprotected, which means you can change the data in all addresses with this command. We recommend that check the status of that address before writing to it.
- The addresses 0x0200 and 0x0201 save the config data. Those 2 addresses are protected. Writing to them will fail.
- Data can't be written into 2 Sectors by one command. You should make sure the addresses in one command are all in the same Sector. If in 2 Sectors, writing will fail. And no data was written in.

11. Erase EEPROM: 0x0B

Instruction	Description	Format	Parameter
0x0B	Erase data in specified sector of EEPROM	Command: AB 03 0B [Sector_Number] (Checksum) Respond: Success: AB 03 0B 02 (09) Fail: AB 02 F4 (F6)	Sector_number: The sector number of EEPROM

Example

Send: **AB 03 0B 02**

Return: **AB 02 0B**

Tips:

- The addresses 0x0200 and 0x0201 in Sector 2 save the config data. Erasing Sector 2 will not delete data in those two addresses.
- This module has 16 sectors with each sector 512 bytes.

Sector NO.	Address Range
1	0x0000 ~ 0x01FF
2	0x0200 ~ 0x03FF
3	0x0400 ~ 0x05FF
4	0x0600 ~ 0x07FF
5	0x0800 ~ 0x09FF
6	0x0A00 ~ 0x0BFF
7	0x0C00 ~ 0x0DFF
8	0x0E00 ~ 0x0FFF
9	0x1000 ~ 0x11FF
10	0x1200 ~ 0x13FF
11	0x1400 ~ 0x15FF
12	0x1600 ~ 0x17FF
13	0x1800 ~ 0x19FF
14	0x1A00 ~ 0x1BFF
15	0x1C00 ~ 0x1DFF
16	0x1E00 ~ 0x1FFF

12. Check status of EEPROM: 0x0C

Instruction	Description	Format	Parameter
0x0C	Check if the specified address in EEPROM of is already written	Command: AB 05 0C [Address] [Data_Length] (Checksum) Respond: Unwritten: AB 02 0C (0E) Written: AB 02 F3 (F1)	Address: 2 bytes, High byte First Data_Length: The address number to be checked.

Example

Send: AB 05 0C 00 00 04 //check addresses 0x0000~0x0003

Return: AB 02 0C

Tips: if the data in the addresses are 0xFF, those addresses are regarded as unwritten.

13. Set the checksum in Basic Command: 0x0D

Instruction	Description	Format	Parameter
0x0D	Add or remove checksum of Basic Command	Command: AB 03 0D [Value] Respond: Success: AB 02 0D Fail: AB 02 F2	Value: 0x00 // No checksum 0x01 // With checksum

Example

Send: AB 03 0D 00

Return: AB 02 0D

Tips: this command has no checksum in any time.

14. Set the baud rate: 0x0E

Instruction	Description	Format	Parameter
0x0E	Set the baud rate	Command: AB 03 0E [Number] (Checksum) Respond: Success: AB 02 0E (0C) Fail: AB 02 F1 (F3)	Number: See the table below

Example

Send: AB 03 0E 05 // set the baud rate of 19200

Return: AB 02 0E

Baud Rate

Number (HEX)	Baud Rate (bps)
0x01	2400
0x02	4800
0x03	9600
0x04	14400
0x05	19200
0x06	28800
0x07	38400
0x08	57600
0x09	115200

15. Restore the default configuration: 0x0F

Instruction	Description	Format	Parameter
0x0F	Restore the default configuration: <ul style="list-style-type: none"> No checksum 9600bps 	Command: AB 02 0F (Checksum) Respond: Success: AB 02 0F (0D) Fail: AB 02 F0 (F2)	NC

Example

Send: AB 02 0F

Return: AB 02 0F

16. Set the module in standby mode

Instruction	Description	Format	Parameter
0x10	Exit from executing any command and wait for new command.	Command: AB 02 10 (Checksum) Respond: Success: AB 02 10 (12) Fail: AB 02 EF (ED)	NC

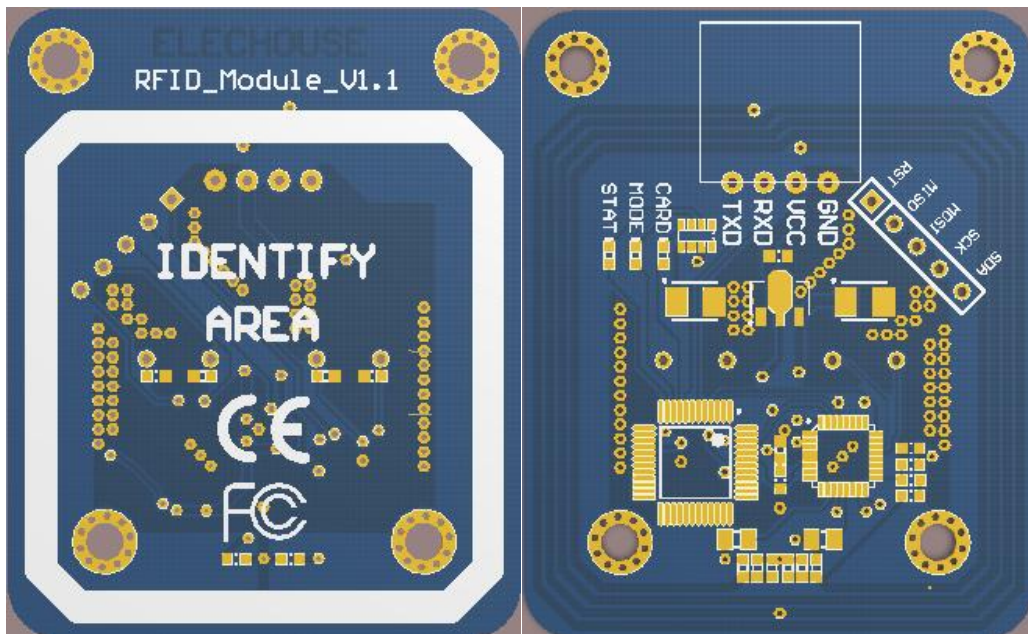
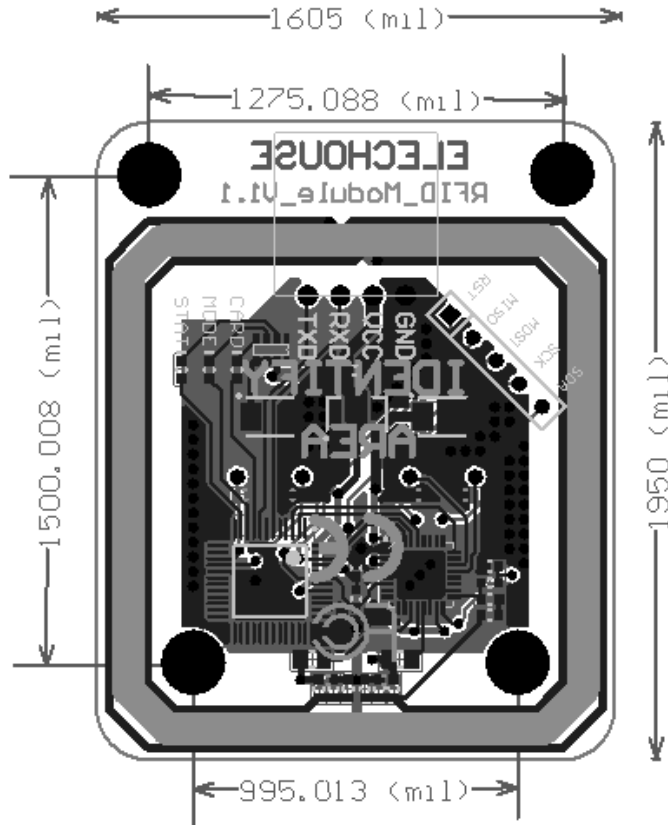
Some commands such as 0x01 will occupy this module until next command is received. This command will release the module and let it in standby mode, working like reset function but data will be not lost.

Example:

Send: AB 02 10

Return: AB 02 10

Size and Drawing



Code Example of Checksum

Here we supply code example of adding checksum and verifying command by checksum.

```
/*
Function: add checksum for basic commands
Parameters: the basic commands without checksum
*/

void AddChkCode (unsigned char * Cmd)
{
    unsigned char xorRes = Cmd [1]; // the result of XOR
    unsigned char i;
    for (i = 0; i <Cmd [1] -1; i ++ )
    {
        xorRes = xorRes ^ Cmd [i +2]; // XOR on from the Length field to the last byte of data
    }
    Cmd [Cmd [1] +1] = xorRes;
}
```

```
/*
Function: verify the checksum of basic commands
Parameters: the basic commands with checksum
Returns: check correct return 1. Parity error, it returns 0.
*/
unsigned char ChkCmd (unsigned char * Cmd)
{
    uchar i;
    uchar xorRes = Cmd [1];
    for (i = 0; i <Cmd [1] -1; i ++ )
        xorRes = xorRes ^ Cmd [i +2];
    if (xorRes == Cmd [Cmd [1] +1])
        return 1;
    else
        return 0;
}
```

Example

```
void main ()
{
    unsigned char cmd1 [4] = {0xAB, 0x02, 0x01}; // store the basic command 1, Card type, no checksum
    AddChkCode (cmd1); // add basic instruction a check code
    ChkCmd (recCmd); // check the received command school
}
```

Reference information

To understand how to write to Mifare cards, you may need more information about the structure of S50 and S70. And if you use the SPI interface, you may need MFRC522 datasheet.

- ❖ [Mifare S50](#)
- ❖ [Mifare S70](#)
- ❖ [MFRC522 Datasheet](#)

Disclaimer and Revisions

The information in this document may change without notice. Please visit www.elechouse.com for new information.

Revision History

Rev.	Date	Author	Description
A	Nov. 22 nd , 2011	Wilson Shen	Initial version

Mifare Reader

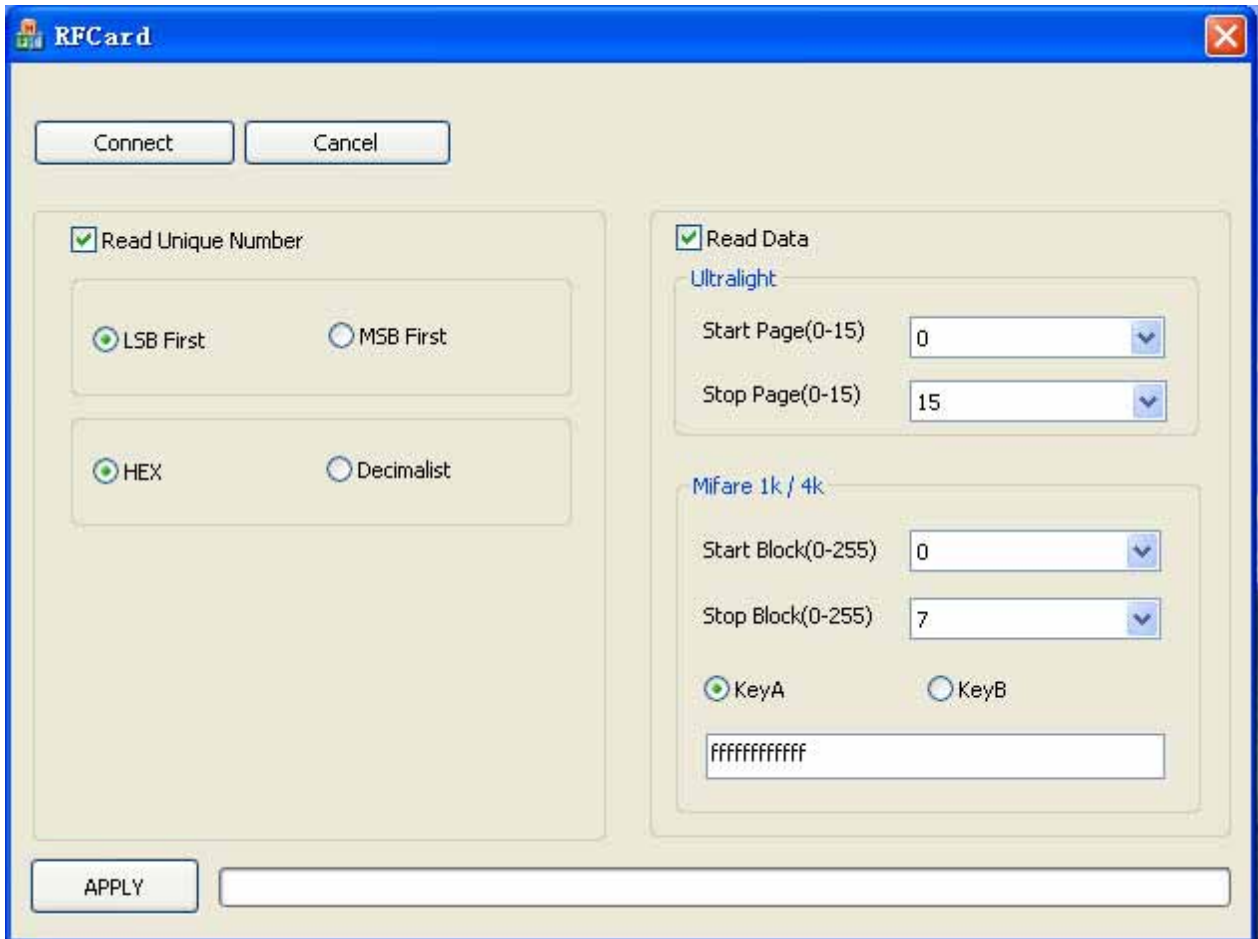


MAIN FEATURES

- USB Keyboard Emulator, Plug and Play
- Frequency: 13.56MHz
- UID read supported: Mifare Mini, Mifare 1k, Mifare 4k, Mifare Plus, Ultralight, DesFire & Mifare_ProX
- Data read supported: Mifare Mini, Mifare 1k, Mifare 4k and Ultralight
- Integrated antenna, LED and Buzzer
- Working current less than 80mA @5.0V
- Operating distance: Up to 60mm, depending on tag
- Storage temperature: -20 °C ~ +85 °C
- Operating temperature: -10 °C ~ +70 °C
- Dimension: 65mm × 46mm × 7 mm

SETTING MODE

Switching SW1-1 to OFF position and repower, SL040 goto setting mode. Run SL040Config.exe, RED-LED on SL040 will glitter.



- Read Unique Number

- ◆ LSB First or HSB First
- ◆ HEX or Decimalist

e.g. data stored in block0 of Mifare 1k as below sheet

BLOCK	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	01	02	03	04	04	88	04	00	47	C1	25	A8	45	00	31	06

If [LSB] and [HEX] selected, SL040 output 01020304

If [MSB] and [Decimalist] selected, SL040 output 0067305985

Remark: SL040 will append 0 in the front to keep all the output 10

digits number unified in DEC.

- **Read Data**

SL040 can not only output the UID, but also can be read Ultalight, Mifare Mini, Mifare 1k and Mifare 4k card data.

Remark: All blocks which to be read should be has same key.

WORKING MODE

Switching SW1-1 to ON position and repower, SL040 run working mode. RED-LED on SL040 will light.

According to the config information stored in memory, SL040 will automatically read the serial number and data and output to PC when Mifare tag in its detective range.

SW1

SW1-1 OFF: setting mode
SW1-1 ON: working mode
SW1-2 OFF: output without "CR"
SW1-2 ON: output append postamble "CR"

LEDs

RED-LED glitter : setting mode
RED-LED light : working mode
GREEN-LED light: tag in detective range

BUZZER

When Mifare tag moved into detective range automatically beep.